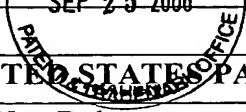
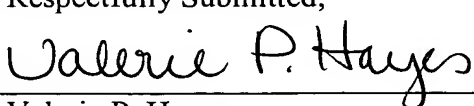


Docket No.	8733.1026.00		
 <b>IN THE UNITED STATES PATENT AND TRADEMARK OFFICE</b>			
In Re Application Of:	LEE, Yun Bok		Art Unit: 2871
Application No:	10/825,486		Examiner: Tai V. Duong
Filed:	April 16, 2004		
Title:	ARRAY SUBSTRATE FOR IN-PLANE SWITCHING MODE LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF FABRICATING THE SAME		
<b>CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT</b>			
Commissioner for Patents P.O. Box 1450 Alexandria, VA 22313-1450			
SIR:			
<input type="checkbox"/>	Full benefit of the filing date of U.S. Application Serial Number ( <b>Parent SN</b> ), filed ( <b>Parent File Date</b> ), is claimed pursuant to the provisions of <b>35 U.S.C. §120</b> .		
<input type="checkbox"/>	Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of <b>35 U.S.C. §119(e)</b> .		
<input checked="" type="checkbox"/>	Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of <b>35 U.S.C. §119</b> , as noted below.		
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
<u><b>COUNTRY</b></u>		<u><b>APPLICATION NUMBER</b></u>	
<b>KOREA</b>		<b>10-2004-0025955</b>	
		<u><b>MONTH/DAY/YEAR</b></u>	
		<b>April 14, 2004</b>	
A certified copies of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/>	is submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
<input type="checkbox"/>	were filed in prior application Serial No. filed		
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.		
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and		
	(B) Application Serial No.(s)		
<input type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	Will be submitted prior to payment of the Final Fee		
Date: <u>September 25, 2006</u>		Respectfully Submitted, 	
MCKENNA LONG & ALDRIDGE LLP 1900 K Street, N.W., Washington, D.C. 20006 Tel. (202) 496-7500 Fax. (202) 496-7756		Valerie P. Hayes Registration No.: 53,005	



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

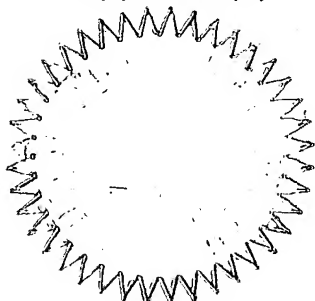
This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2004-0025955  
Application Number

출원년월일 : 2004년 04월 14일  
Date of Application APR 14, 2004

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.

2006년 09월 20일

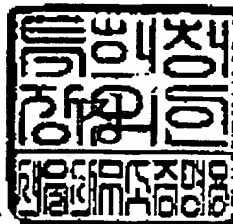


특

허

청

COMMISSIONER



**【서지사항】**

<b>【서류명】</b>	명세서 등 보정서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허심판원장
<b>【제출일자】</b>	2006.08.21
<b>【제출인】</b>	
<b>【명칭】</b>	엘지.필립스 엘시디 주식회사
<b>【출원인코드】</b>	1-1998-101865-5
<b>【사건과의 관계】</b>	청구인
<b>【대리인】</b>	
<b>【명칭】</b>	특허법인 네이트
<b>【대리인코드】</b>	9-2004-100002-3
<b>【지정된변리사】</b>	정원기, 윤찬주, 하태호
<b>【포괄위임등록번호】</b>	2004-034562-3
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2004-0025955
<b>【출원일자】</b>	2004.04.14
<b>【심판번호】</b>	2006-원-006310
<b>【심판청구일자】</b>	2006.07.21
<b>【발명의 명칭】</b>	횡전계형 액정표시장치용 어레이 기판 및 그 제조 방법
<b>【제출원인】</b>	
<b>【접수번호】</b>	7-1-2006-0023254-68
<b>【접수일자】</b>	2006.07.21
<b>【보정할 서류】</b>	명세서등
<b>【보정할 사항】</b>	
<b>【보정대상항목】</b>	별지와 같음
<b>【보정방법】</b>	별지와 같음
<b>【보정내용】</b>	별지와 같음

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여  
위와 같이 제출합니다.

대리인

특허법인 네이트 (인)

【수수료】

【보정료】	3,000원
【추가심사청구료】	0원
【가산심판청구료】	0원
【합계】	3,000 원



## 【보정서】

【보정대상항목】 청구항 1

【보정방법】 삭제

【보정대상항목】 청구항 2

【보정방법】 삭제

【보정대상항목】 청구항 3

【보정방법】 삭제

【보정대상항목】 청구항 4

【보정방법】 삭제

【보정대상항목】 청구항 8

【보정방법】 삭제

【보정대상항목】 청구항 9

【보정방법】 삭제

【보정대상항목】 청구항 11

【보정방법】 삭제

【보정대상항목】 청구항 12

【보정방법】 삭제

【보정대상항목】 청구항 13

【보정방법】 삭제

【보정대상항목】 청구항 14

【보정방법】 삭제

【보정대상항목】 청구항 15

【보정방법】 삭제

【보정대상항목】 청구항 16

【보정방법】 삭제

【보정대상항목】 청구항 20

【보정방법】 삭제

【보정대상항목】 청구항 21

【보정방법】 삭제

【보정대상항목】 청구항 22

【보정방법】 삭제

【보정대상항목】 청구항 25

【보정방법】 삭제

【보정대상항목】 청구항 26

【보정방법】 삭제

【보정대상항목】 청구항 27

**【보정방법】 정정**

**【보정내용】**

**【청구항 27】**

기판 상에, 감광성 물질을 이용한 노광, 현상, 식각 공정에 의해 패터닝하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 전극을 가지는 게이트 배선과, 동일한 방향으로 상기 게이트 전극과 이격하여 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극 및 상기 원형태의 오픈부내에 원형띠 구조의 다수의 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1 공통전극, 다수의 제 2 공통전극 및 공통배선을 덮는 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정에 의해 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮으며 기판 전면에서 제 4 마스크 공정에 의해 상기

드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 서로 이격하며 위치하는 제 1, 2 인출배선과, 상기 제 1, 2 인출배선을 연결하는 연결배선과, 상기 연결배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 1 공통전극 및 다수의 제 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 1 공통전극 및 다수의 제 2 공통전극과의 이격영역인 개구부를 원형띠 형상으로 구성하는 다수의 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 28

【보정방법】 정정

【보정내용】

【청구항 28】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극 및 상기 원형태의 오픈부내에서 원형띠 구조로써 다수의 제 2 공통전극을 형성하는

단계와;

상기 게이트 전극, 게이트 배선, 제 1 공통전극, 다수의 제 2 공통전극 및 공통배선을 덮는 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정에 의해 상기 게이트 절연막 위로 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극 간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막 트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 3 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 서로 이격하여 위치하는 제 1, 2 인출배선과, 상기 제 1, 2 인출배선을 연결하는 연결배선과, 상기 연결배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 1 공통전극 및 다수의 제 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 1 공통전극 및 다수의 제 2 공통전극과의 이격영역인 개구부를 원형태 형상으로 구성하는 다수의 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 29

【보정방법】 정정

【보정내용】

【청구항 29】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 제 1 오픈부를 구성하는 제 1 공통전극 및 상기 원형태의 제 1 오픈부 내에 원형띠 구조를 갖는 다수의 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1 공통전극, 다수의 제 2 공통전극 및 공통배선을 덮는 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정에 의해 상기 게이트 절연막 위로 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소

스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮으며 기판 전면에 보호층을 형성하는 단계와;

상기 보호층 위로, 상기 제 1 공통전극 및 다수의 제 2 공통전극 간의 이격 영역 및 상기 공통배선과 연결배선 간의 교차영역을 제 1 개구부로 하는 PR(photo resist) 패턴을 형성하는 단계와;

상기 PR 패턴을 마스크로 이용하여 상기 제 1 개구부를 통해 노출된 보호층을 식각하는 단계와;

상기 PR 패턴 위로 전면에 투명 도전성 물질층을 형성하는 단계와;

상기 PR 패턴을 스트립하는 공정을 진행함으로써 상기 PR 패턴 및 그 상부에 형성된 상기 투명 도전성 물질층을 리프트 오프(lift off)하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질층은, 상기 보호층이 식각되어 노출된 상기 연결배선과 연결되며, 상기 제 1 공통전극과 다수의 제 2 공통전극과의 이격구간을 원형띠 형상으로 구성하는 다수의 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 30

【보정방법】 정정

【보정내용】

### 【청구항 30】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 공통배선을 서로 이격되게 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 배선 위로 전면에 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정에 의해 상기 게이트 절연막 위로 상기 제 1 방향과 교차되는 제 2 방향으로 위치하여 화소영역을 정의하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 위로 상기 화소영역에서 연결 배선과 이격되게 위치하는 제 1 오픈부와, 상기 공통 배선과 이격되게 위치하는 제 2 오픈부를 가지며, 상기 제 1, 2 오픈부 간의 이격구간은 원형띠 형상을 가지는 PR 패턴을 형성하는 단계와;



상기 PR 패턴을 마스크로 이용하여, 상기 PR 패턴 외부로 노출된 상기 게이트 절연막을 제거하여 상기 공통 배선을 노출시키는 단계와;

상기 PR 패턴 및 노출된 공통 배선을 덮으며 전면에 투명 도전성 물질층을 형성하는 단계와;

상기 PR 패턴을 스트립하는 공정을 진행하여 상기 PR 패턴 및 그 상부에 위치하는 상기 투명 도전성 물질층을 리프트 오프하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질층은, 상기 공통배선과 연결되게 위치하며 상기 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 원형태의 개구영역을 형성하는 제 1 공통전극과, 상기 제 1 공통전극에서 이격하여 다수의 제 2 공통전극과, 상기 연결 배선과 연결되게 위치하는 다수의 화소전극을 형성하는 단계

를 포함하며, 상기 제 1 공통전극 및 다수의 제 2 공통전극 및 화소전극은 이들 전극간의 이격구간이 원형띠 형태를 이루는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 31

**【보정방법】** 정정

**【보정내용】**

**【청구항 31】**

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는

게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극과, 상기 원형의 오픈부내에서 달팽이 꼴 형태로 구조로써 상기 제 1 공통전극과 연결되는 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통배선을 덮는 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정에 의해 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 위로 전면에 제 4 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 위치하는 인출배선과, 상기 인출배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 2 공통전극과 이격하여 형성되는 개구부를 달팽이꼴

구조로 구성하는 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 32

【보정방법】 정정

【보정내용】

【청구항 32】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극과, 상기 원형태의 오픈부내에서 달팽이 꼰 형태로 구조로써 상기 제 1 공통전극과 연결되는 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통 배선을 덮는 게이트 절연막을 형성하는 단계와;

제 2 마스크 공정에 의해 상기 게이트 절연막 위로 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전

극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 위로 전면에서 제 3 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 위치하는 인출배선과, 상기 인출배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 2 공통전극과 이격하여 형성되는 개구부를 달팽이꼴 구조로 구성하는 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 35

**【보정방법】** 정정

**【보정내용】**

**【청구항 35】**

제 27 항 또는 제 28 항에 있어서,

상기 제 1 인출배선이 상기 박막트랜지스터와 연결되는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 36

**【보정방법】** 정정

**【보정내용】****【청구항 36】**

제 27 항 또는 제 28 항에 있어서,

상기 제 1, 2 인출배선과 제 1 공통전극의 중첩영역은, 절연체가 개재된 상태에서 스토리지 커패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 37****【보정방법】 정정****【보정내용】****【청구항 37】**

제 27 항 또는 제 28 항에 있어서,

상기 다수의 화소전극은, 상기 제 1 공통전극과 이와 이웃한 제 2 공통전극 사이에 위치하는 원형띠 형태의 제 1 화소전극과, 상기 다수의 제 2 공통전극 내에 위치하는 원형 구조의 다수의 제 2 화소전극으로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 38****【보정방법】 정정****【보정내용】**

**【청구항 38】**

제 29 항에 있어서,

상기 다수의 화소화극을 형성하는 단계에서는, 상기 제 1 공통전극과 최외각에 위치한 제 2 공통전극 사이에 위치하는 원형띠 형태의 제 1 화소전극과, 상기 다수의 제 2 공통전극 내에 위치하는 원 형태의 다수의 제 2 화소전극을 서로 독립적으로 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 39**

**【보정방법】** 정정

**【보정내용】**

**【청구항 39】**

제 30 항에 있어서,

상기 다수의 제 2 공통전극은, 반원형띠 패턴 구조로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 40**

**【보정방법】** 정정

**【보정내용】**

**【청구항 40】**

제 39 항에 있어서,

상기 다수의 화소전극은, 상기 제 1 공통전극과 최외각에 위치한 제 2 공통전극 사이에 위치하는 반원형띠 패턴 구조의 제 1 화소전극과, 상기 다수의 제 2 공통전극 내 위치하는 다수의 제 2 화소전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 41****【보정방법】 정정****【보정내용】****【청구항 41】**

제 39 항 또는 제 40 항 중 어느 하나의 항에 있어서,

상기 제 1 공통전극과 다수의 제 2 공통전극 및 제 1 화소전극은 각각 독립적인 패턴인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 47****【보정방법】 삭제****【보정대상항목】 청구항 48****【보정방법】 삭제****【보정대상항목】 청구항 49**

【보정방법】 삭제

【보정대상항목】 청구항 50

【보정방법】 삭제

【보정대상항목】 청구항 51

【보정방법】 삭제

【보정대상항목】 청구항 52

【보정방법】 삭제

【보정대상항목】 청구항 53

【보정방법】 삭제

【보정대상항목】 청구항 54

【보정방법】 삭제

【보정대상항목】 청구항 56

【보정방법】 정정

【보정내용】

【청구항 56】

제 55 항에 있어서,

상기 PR 패턴을 형성하는 단계에서, 상기 PR 패턴에 상기 게이트 패드 및 데이터 패드의 일부 영역을 각각 노출시키는 제 2, 3 개구부를 형성하는 단계를 더욱



포함하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 57

**【보정방법】** 정정

**【보정내용】**

**【청구항 57】**

제 56 항에 있어서,

상기 보호층을 식각하는 단계에서, 상기 제 2, 3 개구부를 통해 노출된 보호층 물질을 식각하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 59

**【보정방법】** 정정

**【보정내용】**

**【청구항 59】**

제 58 항에 있어서,

상기 화소전극을 형성하는 단계에서는, 상기 제 2 개구부 내에 남겨진 상기 투명 도전성 물질층을 상기 게이트 패드와 연결되는 게이트 패드전극으로 형성하고, 상기 제 3 개구부 내에 남겨진 상기 투명 도전성 물질층을 상기 데이터 패드와 연결되는 데이터패드 전극으로 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 60

【보정방법】 정정

【보정내용】

【청구항 60】

제 29 항에 있어서,

상기 제 1 오픈부는, 상기 제 1 공통전극과 다수의 제 2 공통전극 사이에서, 상기 공통 배선을 기준으로 서로 대칭 구조로 분리되어 위치하는 제 1, 2 서브 오픈부와, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 내 위치하는 제 3 서브오픈부로 이루어지고, 상기 제 1 내지 3 서브오픈부와 대응된 위치에는 제 1 내지 3 화소전극 패턴을 형성하는 것을 특징으로 하는 횡전계형 액정 표시장치용 어레이 기판의 제조 방법.

**【서지사항】**

<b>【서류명】</b>	명세서 등 보정서
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2006.03.16
<b>【제출인】</b>	
<b>【명칭】</b>	엘지.필립스 엘시디 주식회사
<b>【출원인코드】</b>	1-1998-101865-5
<b>【사건과의 관계】</b>	출원인
<b>【대리인】</b>	
<b>【명칭】</b>	특허법인 네이트
<b>【대리인코드】</b>	9-2004-100002-3
<b>【지정된변리사】</b>	정원기, 윤찬주, 하태호
<b>【포괄위임등록번호】</b>	2004-034562-3
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2004-0025955
<b>【출원일자】</b>	2004.04.14
<b>【심사청구일자】</b>	2004.04.14
<b>【발명의 명칭】</b>	횡전계형 액정표시장치용 어레이 기판 및 그 제조 방법
<b>【제출원인】</b>	
<b>【발송번호】</b>	9-5-2006-0022724-09
<b>【발송일자】</b>	2006.01.16
<b>【보정할 서류】</b>	명세서등
<b>【보정할 사항】</b>	
<b>【보정대상항목】</b>	별지와 같음
<b>【보정방법】</b>	별지와 같음
<b>【보정내용】</b>	별지와 같음

【취지】 특허법시행규칙 제13조 실용신안법시행규칙 제8조의 규정에 의하여 위  
와 같이 제출합니다.

대리인

특허법인 네이트 (인)

【수수료】

【보정료】	3,000원
【추가심사청구료】	0원
【기타 수수료】	0원
【합계】	3,000 원

## 【보정서】

【보정대상항목】 발명의 명칭

【보정방법】 정정

【보정내용】

【발명의 명칭】

횡전계형 액정표시장치용 어레이 기판 및 그 제조 방법{Array substrate for In-Plane Switching mode Liquid Crystal Display Device and Method for fabricating the same}

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

【청구항 1】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 상기 화소영역을 가로지르며 형

성된 공통배선과:

상기 공통배선에서 분기되며, 상기 화소영역의 내측으로 그 테두리를 따라 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하며 형성된 제 1 공통전극과, 상기 원형태의 오픈부에 제 1 공통전극과 이격하여 원형띠 형태로 형성된 다수의 제 2 공통전극과;

상기 박막트랜지스터와 연결되며 상기 제 1 공통전극과 중첩하는 위치에 형성된 제 1 인출배선과, 상기 제 1 인출배선과 나란하게 동일한 층에 상기 제 1 공통전극과 중첩하며 형성된 제 2 인출배선과, 상기 제 1, 2 인출배선과 동일한 층에 이들 두 인출배선과 동시에 접촉하며 형성된 연결배선과;

상기 연결배선에서 분기되며, 상기 오픈부에 상기 다수의 제 2 공통전극과 서로 이격하며 엇갈리게 원형띠 또는 원 형태로 형성된 다수의 화소전극

을 포함하며, 상기 제 2 공통전극과 화소전극의 이격구간인 개구부가 원형띠 형태를 이루며, 상기 서로 중첩하며 형성된 제 1, 2 인출배선과 제 1 공통전극은 각각 스토리지 커패시터를 이루는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】** 청구항 2

**【보정방법】** 정정

**【보정내용】**

## 【청구항 2】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 상기 화소영역을 가로지르며 형성된 공통배선과;

상기 공통배선에서 분기되며, 상기 화소영역의 내측으로 그 테두리를 따라 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하며 형성된 제 1 공통전극과, 상기 원형태의 오픈부에 제 1 공통전극과 이격하여 원형띠 형태로 형성된 다수의 제 2 공통전극과;

상기 드레인 전극에서 연장 형성되며 상기 화소영역을 세로방향으로 관통하며 동시에 그 일끝이 절곡되어 전단의 게이트 배선과 중첩하도록 형성된 연결배선과;

상기 연결배선과 연결되며, 상기 오픈부에 상기 다수의 원형띠 형태의 제 2 공통전극과 서로 이격하며 엇갈리며 원형띠 또는 원모양으로 형성된 다수의 화소전극

을 포함하며, 상기 제 2 공통전극과 화소전극의 이격구간인 개구부가 원형띠

형태를 이루며, 상기 중첩 형성된 연결배선과 상기 전단 게이트 배선은 스토리지 커패시터를 이루는 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

**【보정대상항목】 청구항 3**

**【보정방법】 정정**

**【보정내용】**

**【청구항 3】**

제 1 항에 있어서,

상기 다수의 제 2 공통전극은 단 하나의 원형띠 형태의 제 2 공통전극만으로 이루어진 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】 청구항 4**

**【보정방법】 정정**

**【보정내용】**

**【청구항 4】**

제 3 항에 있어서,

상기 다수의 화소전극은, 상기 제 1, 2 공통전극 패턴 사이 구간에서 원형띠 패턴 구조를 가지는 제 1 화소전극과, 상기 제 2 공통전극 내측으로 원모양의 제 2 화소전극으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】 청구항 5**



【보정방법】 삭제

【보정대상항목】 청구항 6

【보정방법】 삭제

【보정대상항목】 청구항 7

【보정방법】 삭제

【보정대상항목】 청구항 8

【보정방법】 정정

【보정내용】

【청구항 8】

제 2 항에 있어서,

상기 다수의 화소전극은, 감광성 물질패턴을 덮는 영역에 전극 물질을 전면 형성한 다음, 상기 감광성 물질패턴의 스트립(strip) 공정을 통해 남겨진 전극 물질 영역을 패턴으로 이용하는 리프트 오프(lift off) 공정을 통해 형성되는 횡전계 형 액정표시장치용 어레이 기판.

【보정대상항목】 청구항 9

【보정방법】 정정

【보정내용】

### 【청구항 9】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 상기 화소영역을 가로지르며 형성된 공통배선과;

상기 드레인 전극에서 연장 형성되며 상기 화소영역을 세로방향으로 관통하며 동시에 그 일끝이 절곡되어 전단의 게이트 배선과 중첩하도록 형성된 연결 배선과;

상기 공통배선과는 연결되고 상기 연결배선과는 이격되게 위치하며, 투명 도전성 물질로 상기 화소영역의 내측으로 그 테두리를 따라 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극과;

상기 원형태의 오픈부에 상기 공통배선과는 연결되고 상기 연결배선과는 이격되게 위치하며 원형태 형태로 서로 이격하며 구성된 다수의 제 2 공통전극과;

상기 원형태의 오픈부에 상기 연결배선과 연결되고, 상기 공통배선과는 이격되게 위치하며 상기 투명 도전성 물질로 상기 다수의 제 2 공통전극과 이격하며 서

로 엮갈려 배치되며 원형띠 또는 원 모향으로 형성된 다수의 화소전극

을 포함하며, 상기 다수의 제 2 공통전극과 화소전극의 이격구간인 개구부가 원형띠 형태를 이루며, 상기 중첩 형성된 연결배선과 전단 게이트 배선은 스토리지 커패시터를 이루는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】** 청구항 10

**【보정방법】** 삭제

**【보정대상항목】** 청구항 11

**【보정방법】** 정정

**【보정내용】**

**【청구항 11】**

제 9 항에 있어서,

상기 제 1 공통전극 및 다수의 제 2 공통전극과 화소전극은, 감광성 물질패턴을 덮는 영역에 전극 물질을 전면 형성한 다음, 상기 감광성 물질패턴의 스트립 공정을 통해 남겨진 전극 물질 영역을 패턴으로 이용하는 리프트 오프 공정을 통해 형성되는 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】** 청구항 12

**【보정방법】** 정정

**【보정내용】**

**【청구항 12】**

제 9 항에 있어서,

상기 다수의 제 2 공통전극은 단 하나의 원형띠 형태의 제 2 공통전극만으로 이루어진 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】 청구항 13****【보정방법】 정정****【보정내용】****【청구항 13】**

제 12 항에 있어서,

상기 다수의 화소전극은, 상기 제 1, 2 공통전극 패턴 사이에 위치하며 원형 띠 형상의 제 1 화소전극과, 상기 제 2 공통전극 내측에 원 형상의 제 2 화소전극으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】 청구항 14****【보정방법】 정정****【보정내용】****【청구항 14】**

제 13 항에 있어서,

상기 제 2 화소전극은, 상기 공통배선과 연결배선의 교차 영역에 위치하는

횡전계형 액정표시장치용 어레이 기판.

【보정대상항목】 청구항 15

【보정방법】 정정

【보정내용】

【청구항 15】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 상기 화소영역을 가로지르며 형성된 공통배선과;

상기 드레인 전극에서 연장 형성되며 상기 화소영역을 세로방향으로 관통하며 동시에 그 일끝이 절곡되어 전단의 게이트 배선과 중첩하도록 형성된 연결배선과;

상기 박막트랜지스터를 덮는 기판 전면에 형성되며, 상기 공통배선을 일부 노출시키는 다수의 제 1 콘택홀과, 상기 연결배선을 일부 노출시키는 다수의 제 2 콘택홀을 가지는 보호층과;

상기 보호층 상부에 투명 도전성 물질로서 상기 제 1 방향으로 이웃하는 화

소영역 간에 일체형 패턴으로 연장 형성되고, 상기 제 1 콘택홀을 통해 상기 공통 배선과 접촉하며, 상기 화소영역 내에서 그 외측은 사각형 형태를 그 내측으로는 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하며 형성된 제 1 공통 전극과;

상기 오픈부에 상기 제 1 공통전극과 동일한 층에 동일 물질로 원형띠 형태를 가지며 제 1 콘택홀을 통해 상기 공통배선과 접촉하며 서로 이격하며 형성된 다수의 제 2 공통전극과;

상기 오픈부의 보호층 상부에서, 상기 제 2 콘택홀을 통해 상기 연결배선과 연결되며, 상기 다수의 제 2 공통전극과 서로 이격하며 엇갈리며 형성된 다수의 화소전극

을 포함하며, 상기 다수의 제 2 공통전극과 화소전극 간의 이격구간인 개구부가 원형띠 형태를 이루며, 상기 연결배선과 전단 게이트 배선은 스토리지 커패시터를 이루며, 상기 제 1, 2 공통전극 및 화소전극은 리프트 오프 공정에 의해 형성되는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

**【보정대상항목】** 청구항 16

**【보정방법】** 정정

**【보정내용】**

**【청구항 16】**

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 화소영역을 정의하며 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 게이트 배선과 이격되게 상기 제 1 방향으로 상기 화소영역 간을 연결하며 형성된 공통배선과;

상기 공통배선에서 분기되며, 상기 화소영역의 내측으로 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하며 형성된 제 1 공통전극과;

상기 오픈부에 상기 제 1 공통전극에서 분기하여 달팽이꼴 형태로 형성된 제 2 공통전극과;

상기 박막트랜지스터와 연결되며 상기 제 1 공통전극과 중첩하며 형성된 인출배선과;

상기 인출배선에서 분기되며, 상기 오픈부에 상기 제 2 공통전극과 일정간격 이격하며 서로 엇갈리며 달팽이꼴 형태로 형성된 화소전극

을 포함하며, 상기 제 2 공통전극과 화소전극의 이격구간인 개구부는 달팽이꼴 형태를 갖는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

【보정대상항목】 청구항 17

【보정방법】 삭제

【보정대상항목】 청구항 18

【보정방법】 삭제

【보정대상항목】 청구항 19

【보정방법】 삭제

【보정대상항목】 청구항 23

【보정방법】 삭제

【보정대상항목】 청구항 24

【보정방법】 삭제

【보정대상항목】 청구항 27

【보정방법】 정정

【보정내용】

【청구항 27】

기판 상에, 감광성 물질을 이용한 노광, 현상, 식각 공정에 의해 패터닝하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 동일한 방향으로 상기 게이트 전극과 이격하여 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극 및 상기 오픈부내에 원형띠 구조의 제 2 공통전



극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통 선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 4 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 서로 이격하며 위치하는 제 1, 2 인출배선과, 상기 제 1, 2 인출배선을 연결하는 연결배선과, 상기 연결배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 1, 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 1, 2 공통전극과의 이격영역인 개구부를 원형태 형상으로 구성하는 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 28

【보정방법】 정정

## 【보정내용】

### 【청구항 28】

기관 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극과, 상기 원형태의오픈부내에서 원형띠 구조로서 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기관 전면에 제 3 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과

연결되고, 상기 제 1 공통전극과 중첩된 영역에 서로 이격하여 위치하는 제 1, 2 인출배선과, 상기 제 1, 2 인출배선을 연결하는 연결배선과, 상기 연결배선에서 분기되며, 상기 오픈부 내에서 상기 제 1, 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 1, 2 공통전극과의 이격영역인 개구부를 원형띠 형상으로 구성하는 다수의 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 29

**【보정방법】** 정정

**【보정내용】**

**【청구항 29】**

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 제 1 오픈부를 구성하는 제 1 공통전극 및 상기 원형태의 제 1 오픈부 내에 원형띠 구조를 갖는 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기

소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 보호층을 형성하는 단계와;

상기 보호층을 덮는 영역에 위치하며, 상기 제 1, 2 공통전극 간의 이격 영역 및 상기 공통배선과 연결배선간의 교차영역을 제 1 개구부로 하는 PR(photo resist) 패턴을 형성하는 단계와;

상기 PR 패턴을 마스크로 이용하여 상기 제 1 개구부를 통해 노출된 보호층을 식각하는 단계와;

상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프(lift off)하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 보호층이 식각되어 노출된 상기 연결배선과 연결되며, 상기 제 1, 2 공통전극과 이격구간을 원형

때 형상으로 구성하는 화소전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 30

**【보정방법】** 정정

**【보정내용】**

**【청구항 30】**

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 공통배선을 서로 이격되게 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 배선을 덮는 기판 전면에서 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하여 화소영역을 정의하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를

이루고, 상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 화소 영역에서 연결 배선과 이격되게 위치하는 제 1 오픈부와, 상기 공통 배선과 이격되게 위치하는 제 2 오픈부를 가지며, 상기 제 1, 2 오픈부 간의 이격구간은 원형띠 형상을 가지는 PR 패턴을 형성하는 단계와;

상기 PR 패턴을 일종의 마스크로 이용하여, 노출된 영역 상의 게이트 절연막 물질을 제거하여, 해당 영역의 공통 배선을 노출시키는 단계와;

상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 공통 배선과 연결되게 위치하며 상기 화소영역을 테두리며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 원형태의 개구영역을 형성하는 제 1 공통전극과, 상기 제 1 공통전극에서 이격하여 제 2 공통전극과, 상기 연결 배선과 연결되게 위치하는 화소 전극을 형성하는 단계

를 포함하며, 상기 제 1, 2 공통전극과 화소전극은, 상기 이들 전극 간의 이격구간이 원형띠 형태를 이루는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 31

【보정방법】 정정

**【보정내용】**

**【청구항 31】**

기관 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리부를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극과, 상기 원형의 오픈부내에서 달팽이 꼰 형태로 구조로서 상기 제 1 공통전극과 연결되는 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기관 전면에 제 4 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 위치하는 인출배선과, 상기 인출

배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 2 공통전극과 이격하여 형성되는 개구부를 달팽이꼴 구조로 구성하는 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 32

**【보정방법】** 정정

**【보정내용】**

**【청구항 32】**

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선 및 이와 이격하는 공통배선과, 상기 공통배선과 연결되며 화면을 구현하는 최소 단위인 화소영역의 테두리를 두르며 그 외측은 사각형 형태를 그 내측은 원 형태를 가져 상기 화소영역 내에 원형태의 오픈부를 구성하는 제 1 공통전극과, 상기 원형태의 오픈부내에서 달팽이 꼴 형태로 구조로서 상기 제 1 공통전극과 연결되는 제 2 공통전극을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 제 1, 2 공통전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부



에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 제 3 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극과 중첩된 영역에 위치하는 인출배선과, 상기 인출배선에서 분기되며, 상기 원형태의 오픈부 내에서 상기 제 2 공통전극과 일정간격 이격되게 위치하며, 상기 제 2 공통전극과 이격하여 형성되는 개구부를 달팽이꼴 구조로 구성하는 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 33

【보정방법】 삭제

【보정대상항목】 청구항 34

【보정방법】 삭제

【보정대상항목】 청구항 35

【보정방법】 정정

【보정내용】

**【청구항 35】**

제 27 항 또는 제 28 항에 있어서,

상기 제 1 인출배선이 실질적으로 박막트랜지스터와 연결되는 횡전계형 액정 표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 36

**【보정방법】** 정정

**【보정내용】**

**【청구항 36】**

제 27 항 또는 제 28 항에 있어서,

상기 제 1, 2 인출 배선과 제 1 공통전극의 중첩영역은, 절연체가 개재된 상태에서 스토리지 커패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 37

**【보정방법】** 정정

**【보정내용】**

**【청구항 37】**

제 27 항 또는 제 28 항에 있어서,

상기 화소전극은, 상기 제 1, 2 공통전극 사이에 위치하는 원형띠 형태의 제

1 화소전극과, 상기 제 2 공통전극 내에 위치하는 원형 구조의 제 2 화소전극으로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 38

**【보정방법】** 정정

**【보정내용】**

**【청구항 38】**

제 29 항에 있어서,

상기 화소화극을 형성하는 단계에서는, 상기 제 1, 2 공통전극 사이에 위치하는 원형띠 형태의 제 1 화소전극과, 상기 제 2 공통전극 내에 위치하는 원 형태의 제 2 화소전극을 서로 독립적으로 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】** 청구항 39

**【보정방법】** 정정

**【보정내용】**

**【청구항 39】**

제 30 항에 있어서,

상기 제 2 공통 전극은, 반원형띠 패턴 구조로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 40

【보정방법】 정정

【보정내용】

【청구항 40】

제 39 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 공통전극 사이에 위치하는 반원형띠 패턴 구조의 제 1 화소전극과, 상기 제 2 공통전극 내 위치하는 제 2 화소 전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 41

【보정방법】 정정

【보정내용】

【청구항 41】

제 39 항 또는 제 40 항 중 어느 하나의 항에 있어서,

상기 제 1, 2 공통전극 및 제 1 화소전극은 각각 독립적인 패턴인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 43

【보정방법】 정정

【보정내용】

**【청구항 43】**

제 31 항 또는 제 32 항 중 어느 하나의 항에 있어서,

상기 제 1 공통전극과 인출 배선이 중첩되는 영역은 절연체가 개재된 상태에서  
서 스토리지 커패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조  
방법.

**【보정대상항목】 청구항 44****【보정방법】 정정****【보정내용】****【청구항 44】**

제 31 항 또는 제 32 항 중 어느 하나의 항에 있어서,

상기 화소 전극은, 상기 제 2 공통전극을 감싸는 달팽이꼴 구조를 가지는 횡  
전계형 액정표시장치용 어레이 기판의 제조 방법.

**【보정대상항목】 청구항 46****【보정방법】 정정****【보정내용】****【청구항 46】**

제 29 항 또는 제 30 항 중 어느 하나의 항에 있어서,

상기 스토리지 전극과 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태

에서 스토리지 커패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 54

【보정방법】 정정

【보정내용】

【청구항 54】

제 2 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 공통전극 사이에서, 상기 공통 배선을 기준으로 서로 대칭구조로 분리된 제 1, 2 화소전극과, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 영역 내 위치하는 제 3 화소전극으로 이루어지는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

【보정대상항목】 청구항 56

【보정방법】 정정

【보정내용】

【청구항 56】

제 55 항에 있어서,

상기 PR 패턴을 형성하는 단계에서, 상기 PR 패턴에 상기 게이트 패드 및 데이터 패드의 일부 영역을 각각 노출시키는 제 2, 3 개구부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 57

【보정방법】 정정

【보정내용】

【청구항 57】

제 56 항에 있어서,

상기 보호층을 식각하는 단계에서, 상기 제 2, 3 개구부를 통해 노출된 보호층 물질을 식각하는 단계를 더 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 58

【보정방법】 정정

【보정내용】

【청구항 58】

제 57 항에 있어서,

상기 보호층을 식각하는 단계에서는, 상기 제 2 개구부에서 상기 게이트 절연막을 포함하여 보호층을 식각하여, 상기 게이트 패드를 일부 노출시키고, 상기 제 3 개구부에서는 상기 보호층을 식각하여, 상기 데이터 패드를 일부 노출시키는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 59

【보정방법】 정정

【보정내용】

【청구항 59】

제 58 항에 있어서,

상기 화소 전극을 형성하는 단계에서는, 상기 제 2 개구부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 게이트 패드와 연결되는 게이트패드 전극으로 형성하고, 상기 제 3 개구부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 데이터 패드와 연결되는 데이터패드 전극으로 형성하는 것을 특징으로 하는 횡전계형 액정 표시장치용 어레이 기판의 제조 방법.

【보정대상항목】 청구항 60

【보정방법】 정정

【보정내용】

【청구항 60】

제 29 항에 있어서,

상기 제 1 오픈부는, 상기 제 1, 2 공통전극 사이에서, 상기 공통 배선을 기준으로 서로 대칭 구조로 분리되어 위치하는 제 1, 2 서브 오픈부와, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 내 위치하는 제 3 서브오픈부로 이루어지고, 상기 제 1 내지 3 서브오픈부와 대응된 위치에 제 1 내지 3 화소 전극 패턴으로 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판





의 제조 방법.

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0001
<b>【제출일자】</b>	2004.04.14
<b>【발명의 국문명칭】</b>	횡전계형 액정표시장치 및 그 제조 방법
<b>【발명의 영문명칭】</b>	In-Plane Switching mode Liquid Crystal Display Device and Method for fabricating the same
<b>【출원인】</b>	
<b>【명칭】</b>	엘지.필립스엘시디(주)
<b>【출원인코드】</b>	1-1998-101865-5
<b>【대리인】</b>	
<b>【성명】</b>	정원기
<b>【대리인코드】</b>	9-1998-000534-2
<b>【포괄위임등록번호】</b>	1999-001832-7
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이윤복
<b>【성명의 영문표기】</b>	LEE, YUN BOK
<b>【주민등록번호】</b>	670110-1047012
<b>【우편번호】</b>	121-809
<b>【주소】</b>	서울특별시 마포구 대흥동 43-8 10/5
<b>【국적】</b>	KR
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이원호
<b>【성명의 영문표기】</b>	LEE, WON HO
<b>【주민등록번호】</b>	731124-1690621
<b>【우편번호】</b>	463-905

**【주소】** 경기도 성남시 분당구 이매동 청구아파트 603동 1701호  
**【국적】** KR  
**【우선권 주장】**  
**【출원국명】** KR  
**【출원종류】** 특허  
**【출원번호】** 10-2003-0072124  
**【출원일자】** 2003.10.16  
**【증명서류】** 미첨부  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

정원기 (인)

**【수수료】**

<b>【기본출원료】</b>	0 면	38,000 원
<b>【가산출원료】</b>	129 면	0 원
<b>【우선권주장료】</b>	1 건	20,000 원
<b>【심사청구료】</b>	60 항	2,029,000 원
<b>【합계】</b>		2,087,000 원

## 【요약서】

### 【요약】

본 발명에서는, 제조반전에 따른 컬러 쉬프트(color shift)에 의한 시야각 특성 저하를 방지할 수 있는 구조의 횡전계형 액정표시장치를 제공하기 위하여, 개구 영역의 주 영역을 원형띠 또는 달팽이꼴 구조로 구성할 수 있는 패턴 구조를 가지는 공통 전극 및 화소 전극을 형성함으로써, 어느 방향에서나 액정의 방향자가 동일하므로 특정 각에서의 컬러 쉬프트없이 콘트라스트를 향상시킬 수 있고, 시야각 특성을 높일 수 있다. 그리고, 블랙매트릭스와의 중첩 영역이 감소되어 합착 미스얼라인시에 제품별 발생할 수 있는 휘도차이를 최소화할 수 있는 장점을 가질 수 있다.

### 【대표도】

도 5

## 【명세서】

### 【발명의 명칭】

횡전계형 액정표시장치 및 그 제조 방법{In-Plane Switching mode Liquid Crystal Display Device and Method for fabricating the same}

### 【도면의 간단한 설명】

- <1>           도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도.
- <2>           도 2는 종래의 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도.
- <3>           도 3은 기존의 멀티도메인 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도.
- <4>           도 4는 기존의 지그재그 구조의 멀티도메인 횡전계형 액정표시장치의 시야각 특성을 나타낸 도면.
- <5>           도 5는 본 발명의 제 1 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <6>           도 6a 내지 6e는 본 발명의 제 1 실시예에 따른 5 마스크 횡전계형 액정표시장치용 어레이 기판에 대한 제조 공정을 단계별로 나타낸 평면도.
- <7>           도 7은 본 발명의 제 2 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도.

- <8> 도 8a 내지 8e는 본 발명의 제 2 실시예에 따른 5 마스크 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도.
- <9> 도 9는 본 발명의 제 3 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <10> 도 10a 내지 10d는 본 발명의 제 3 실시예에 따른 4 마스크 일반적인 원형전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도.
- <11> 도 11은 본 발명의 제 4 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <12> 도 12a 내지 12d는 본 발명의 제 4 실시예에 따른 4 마스크 달팽이꼴 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도.
- <13> 도 13a 내지 13d는 일반적인 리프트 오프 공정에 대한 개략적인 공정 단면도.
- <14> 도 14는 본 발명의 제 5 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <15> 도 15a 내지 15d는 본 발명의 제 5 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도.
- <16> 도 16는 본 발명의 제 6 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.

- <17> 도 17a 내지 17d는 본 발명의 제 6 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도.
- <18> 도 18은 본 발명에 따른 횡전계형 액정표시장치의 전극 배치 구조에 따른 그레이(gray)별 액정 방향 및 휘도특성 시뮬레이션(simulation)에 대한 도면.
- <19> 도 19는 본 발명의 제 7 실시예에 따른 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <20> 도 20은 본 발명의 제 8 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <21> 도 21은 본 발명의 제 9 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <22> 도 22는 본 발명의 제 10 실시예에 따른 횡전계형 액정표시장치용 컬러필터 기판에 대한 평면도.
- <23> 도 23은 본 발명의 제 11 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <24> 도 24는 본 발명의 제 12 실시예에 따른 원형 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.
- <25> 도 25a 내지 25d, 도 26a 내지 26d는 상기 도 15a 내지 15d의 절단선 "XVa-XVa", "XVb-XVb"에 따라 절단된 단면을 각각 도시한 단면도.

- <26> <도면의 주요부분에 대한 부호의 설명>
- <27> 110 : 기관 112 : 게이트 배선
- <28> 114 : 공통 배선 118 : 오픈부
- <29> 120a : 제 1 공통전극 패턴 120b : 제 2 공통전극 패턴
- <30> 120 : 공통 전극 128 : 데이터 배선
- <31> 138a : 제 1 화소전극 패턴 138b : 제 2 화소전극 패턴
- <32> 138 : 화소 전극 140a : 제 1 인출배선 패턴
- <33> 140b : 제 2 인출배선 패턴 141 : 연결 배선
- <34> T : 박막트랜지스터 P : 화소 영역
- <35> C<sub>ST</sub> : 스토리지 캐패시터

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <36> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것이며, 특히 횡전계형(IPS ; In-Plane Switching) 액정표시장치 및 그 제조 방법에 관한 것이다.
- <37> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을



이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

<38> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

<39> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

<40> 일반적으로 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 두 기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극 간의 상-하로 걸리는 수직 전기장에 의해 액정을 구동시키는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

<41> 그러나, 전술한 수직 전기장에 의한 액정구동은 시야각 특성이 우수하지 못하므로, 이를 개선하기 위해 수평 전기장에 의해 액정을 구동시켜 광시야각 특성을 가지는 횡전계형 액정표시장치가 제안되고 있다.

<42> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도이다.

<43> 도시한 바와 같이, 컬러필터 기판인 상부 기판(10)과 어레이 기판인 하부 기판(20)이 서로 이격되어 대향하고 있으며, 이 상부 기판(10) 및 하부 기판(20) 사이에는 액정층(30)이 개재되어 있는 구조에서, 상기 하부 기판(20) 내부면에는 공

통 전극(22) 및 화소 전극(24)이 모두 형성되어 있다.

<44>           상기 액정층(30)은 상기 공통 전극(22)과 화소 전극(24)의 수평전계(26)에 의해 작동되고, 액정층(30)내 액정분자가 수평전계에 의해 이동하므로 시야각이 넓어지는 특성을 띠게 된다.

<45>           한 예로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 80 ~ 85° 방향에서 가시할 수 있다.

<46>           이하, 도 2는 종래의 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도이다.

<47>           도시한 바와 같이, 게이트 배선(40) 및 데이터 배선(42)이 서로 교차되게 형성되어 있고, 게이트 배선(40) 및 데이터 배선(42)의 교차 지점에는 박막트랜지스터(T)가 형성되어 있다. 게이트 배선(40) 및 데이터 배선(42)의 교차 영역은 화소 영역(P)으로 정의되고, 화소 영역(P)에는 공통 전극(44) 및 화소 전극(46)이 모두 형성되어 있고, 두 전극 간의 횡전계에 의해 액정이 수평 배열되는 영역을 실질적인 개구 영역(I)으로 하는 것을 특징으로 한다.

<48>           좀 더 상세히 설명하면, 상기 박막트랜지스터(T)와 연결되어 인출 배선(48)이 형성되어 있고, 인출 배선(48)에서는 데이터 배선(42)과 동일한 방향으로 다수 개의 화소 전극(46)이 분기되어 있다. 그리고, 상기 게이트 배선(40)과 동일한 방향으로 일정간격 이격되게 공통 배선(50)이 형성되어 있고, 상기 공통 배선(50)에서는 화소 전극(46)과 서로 엇갈리게 다수 개의 공통 전극(44)이 형성되어 있다.

- <49> 한 예로, 본 도면에서는 공통 전극(44)과 화소 전극(46)의 개구 영역(I)을 하나의 블럭으로 정의했을 때 4 블럭 구조에 대해서 도시하였다.
- <50> 이와 같이, 횡전계형 액정표시장치는 공통 전극과 화소 전극 간에 형성되는 횡전계에 의해 액정 분자를 구동시키는 구조이기 때문에, 기존의 수직전계형 일반적인 액정표시장치보다 시야각이 향상되는 효과를 가질 수 있다.
- <51> 최근에는 횡전계형 액정표시장치의 시야각 특성을 좀 더 향상시키기 위하여, 도메인을 다수 개로 분할하는 구조가 제안되고 있다.
- <52> 도 3은 기존의 멀티도메인 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도이며, 상기 도 2와 중복되는 부분에 대한 설명은 간략히 하고 특징적인 구조를 중심으로 설명하면, 인출 배선(58) 및 공통 배선(60)으로부터 각각 화소 전극(56) 및 공통 전극(54)이 서로 엇갈리게 다수 개 분기됨에 있어서, 상기 화소 전극(56) 및 공통 전극(54)이 지그재그로 여러 번 꺾인 구조로 이루어진 것을 특징으로 한다.
- <53> 그리고, 상기 화소 전극(56) 및 공통 전극(54) 사이 구간에 위치하는 액정 분자 들은 화소 전극(56) 및 공통 전극(54)의 꺾임부를 기준으로 서로 다르게 배열되어 멀티도메인 구조를 이루게 되어, 기존의 일자형 전극 구조에 비해 시야각이 개선된다.
- <54> 상기 인출 배선(58)은, 상기 공통 배선(60)과 중첩되게 위치하여 인출배선 패턴(58)과 공통 배선(60)의 중첩 영역은 스토리지 캐패시터( $C_{ST}$ )를 이룬다.

그리고, 상기 다수 개의 화소 전극(56) 중 어느 한 화소 전극(56)은 박막트랜지스터(T)용 드레인 전극(62)과 일체형 패턴으로 이루어져 있다.

<55> 그러나, 기존의 지그재그 구조를 이용한 멀티도메인 횡전계형 액정표시장치에 의하면 시야각도에 따라 액정의 방향자가 다르기 때문에 색반전이 발생되고 이에 따라 시야각 개선에 한계가 있었다.

<56> 도 4는 기존의 지그재그 구조의 멀티도메인 횡전계형 액정표시장치의 시야각 특성을 나타낸 도면으로서, 기존의 지그재그 구조 횡전계형 액정표시장치에 의하면  $90^\circ$ ,  $180^\circ$  방향(IVa, IVb) 즉, 상/하, 좌/우 방향으로는 시야각 특성이 개선되었으나,  $45^\circ$ ,  $135^\circ$  방향(IVc, IVd)으로는 시야각 특성이 저하되는 것을 알 수 있다.

<57> 또한, 색반전 현상도 마찬가지로 전(全)방향에 대해서 시야각도별로 차이가 존재한다

<58> 좀 더 상세히 설명하면, 액정층에 전압이 인가되면 액정 분자는 두 전극 사이의 전기장의 영향을 받아 평균적으로 대략  $45^\circ$  정도 회전하게 되고, 이러한 액정 분자가 회전하는 방향에서의 계조반전(gray inversion)이 발생하게 되는데, 특히 계조표시(gray mode) 구동시에는 액정 분자의 굴절률 이방성에 의해 편광자에 대한  $45^\circ$  ( $+45^\circ$ ) 방위각에 대해서는 대체적으로 황색을 띠고,  $135^\circ$  ( $-45^\circ$ ) 방위각에 대해서는 대체적으로 푸른색을 띠는 컬러 쉬프트가 나타난다.

### 【발명이 이루고자 하는 기술적 과제】

<59>           상기 문제점을 해결하기 위하여, 본 발명에서는 게조반전에 따른 컬러 쉬프트에 의한 시야각 특성 저하를 방지할 수 있는 구조의 횡전계형 액정표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

<60>           상기 목적을 달성하기 위하여, 본 발명에서는 개구 영역을 원형띠 또는 달팽이꼴 구조로 구성할 수 있는 패턴 구조로 공통 전극 및 화소 전극을 형성함으로써, 액정 방향자가 어느 방향에서 보든지 동일해져 이에 따라 색반전을 방지하고 시야각 특성을 향상시키고자 한다.

### 【발명의 구성】

<61>           상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기된 공통 전극과; 상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

&lt;62&gt;

본 발명의 제 2 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기된 공통 전극과; 상기 드레인 전극에서 연장형성된 연결 배선과; 상기 연결 배선과 연결되며, 상기 공통 전극과 일정간격 이격되어 상기 공통 전극과 서로 엇갈리게 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

&lt;63&gt;

상기 본 발명의 제 1 특징에 따른 상기 공통 전극은, 상기 게이트 배선 및 데이터 배선의 교차 영역으로 정의되는 화소 영역의 테두리를 두르는 영역에 위치하며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 내에서 원형띠 패턴구조를 가지는 제 2 공통전극 패턴으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이 구간에서 원형띠 패턴 구조를 가지는 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내부에 원형 락 패턴 구조를 가지는 제 2 화소전극 패턴으로 이루어지며, 상기 인출 배선은, 상기 제 1 공통전극 패턴과 제 1 방향으로 중첩되게 위치하는 제 1, 2 인출배선 패턴과, 상기 제 1, 2 인출배선 패턴과 화소 전극을 연결시키는 연결 배선을 포함하며, 상기 제 1 인출배선 패턴이 실질적으로 상기 박막트랜지스터와 연결되고, 상기 제 1 공통전극 패턴과, 상기 제 1, 2 인출배선 패

턴 간의 중첩 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루며, 상기 제 2 인출배선 패턴은, 전단 게이트 배선과 중첩되게 확장형성되어 있고, 상기 제 2 인출배선 패턴과 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태에서 또 하나의 스토리지 캐패시터를 이루는 것을 특징으로 한다.

<64>           상기 본 발명의 제 2 특징에 따른 상기 화소 전극은, 감광성 물질패턴을 덮는 영역에 전극 물질을 전면 형성한 다음, 상기 감광성 물질패턴의 스트립(strip) 공정을 통해 남겨진 전극 물질 영역을 패턴으로 이용하는 리프트 오프(lift off) 공정을 통해 형성되는 것을 특징으로 한다.

<65>           본 발명의 제 3 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과; 상기 드레인 전극에서 연장형성된 연결 배선과; 상기 공통 배선과 연결되고, 상기 연결 배선과는 이격되게 위치하며, 투명 도전성 물질로 이루어진 공통 전극과; 상기 연결 배선과 연결되고, 상기 공통 배선과는 이격되게 위치하며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성되고, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

&lt;66&gt;

상기 연결 배선에는, 전단 게이트 배선 일부와 중첩되는 스토리지 전극이 연장형성되며, 상기 전단 게이트 배선과 중첩되는 스토리지 전극 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루고, 상기 공통 전극 및 화소 전극은, 감광성 물질패턴을 덮는 영역에 전극 물질을 전면 형성한 다음, 상기 감광성 물질패턴의 스트립 공정을 통해 남겨진 전극 물질 영역을 패턴으로 이용하는 리프트 오프 공정을 통해 형성되며, 상기 공통 전극은, 상기 화소 영역의 테두리를 두르는 영역에 형성되며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 내에서 원형패턴구조를 가지는 제 2 공통전극 패턴으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에 위치하며 원형패턴 형상의 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내에 원형 형상의 제 2 화소전극 패턴으로 이루어지며, 상기 제 2 화소전극 패턴은, 상기 공통 배선과 연결 배선의 교차 영역에 위치하는 것을 특징으로 한다.

&lt;67&gt;

본 발명의 제 4 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 드레인 전극에서 연장형성된 연결 배선과; 상기 박막트랜지스터를 덮는 기판 전면에서 형성되며, 상기 공통 배선을 일부 노출시키는 제 1 콘택홀과, 상기 연결 배선을 일부 노출시키는 제 2 콘택홀을 가지는 보호층과; 상기 보호층 상부에 제 1 방향으로 이웃하는 화소 영역 간에 일체형 패턴으로 연장형성



되고, 상기 제 1 콘택홀을 통해 공통 배선과 연결되며, 투명 도전성 물질로 이루어지고, 화소 영역별로 오픈부를 가지는 공통 전극과; 상기 보호층 상부에서, 상기 제 2 콘택홀을 통해 연결 배선과 연결되며, 상기 공통 전극의 오픈부 내에서 상기 공통 전극과 일정간격 이격되게 형성되며, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 공통 전극 및 화소 전극은 리프트 오프 공정을 통해 형성되는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

&lt;68&gt;

본 발명의 제 5 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기된 공통 전극과; 상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 달팽이꼴 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판을 제공한다.

&lt;69&gt;

상기 공통 전극은, 화소 영역의 테두리부를 두르는 영역에 위치하며, 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 내에서 달팽이꼴 구조를 가지는 제

2 공통전극 패턴으로 이루어지고, 상기 인출 배선은, 상기 제 1 공통전극 패턴과 중첩되는 영역에 형성되며, 상기 인출 배선과 제 1 공통전극 패턴 간의 중첩 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루고, 상기 화소 전극은, 상기 제 2 공통전극 패턴을 감싸는 달팽이꼴 구조로 이루어지며, 상기 인출 배선은, 전단 게이트 배선의 일부와 중첩되는 영역까지 연장형성되며, 상기 인출 배선과 전단 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태에서 또 하나의 스토리지 캐패시터를 이루는 것을 특징으로 한다.

<70>           상기 본 발명의 제 1 또는 제 5 특징에 따른 상기 반도체층은, 상기 게이트 전극을 덮는 위치에서 아일랜드 패턴(island pattern) 구조로 형성되는 것을 특징으로 한다.

<71>           그리고, 상기 본 발명의 제 1 내지 제 5 특징에 따른 상기 반도체층은, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응된 패턴 구조를 가지는 반도체 물질층에 포함되는 것을 특징으로 한다.

<72>           상기 본 발명의 제 1, 3, 5 특징에 따른 상기 오픈부는 원형 오픈부이거나, 또는 모서리부를 가지는 것을 특징으로 한다. 그리고, 상기 본 발명의 제 1 내지 제 5 특징에 따른 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역은 정사각형 영역이고, 상기 화소 영역 단위로, 적(red), 녹(green), 청(blue), 백(white) 서브픽셀(sub-pixel)을 각각 이루고, 네 개의 서브픽셀은 하나의 픽셀을 이루는 것을 특징으로 한다.

<73>           본 발명의 제 6 특징에서는, 기판 상에, 감광성 물질을 이용한 노광, 현상,

식각 공정에 의해 패터닝하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화면을 구현하는 최소 단위인 화소 영역의 테두리부를 두르며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역 내에 원형띠 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와; 상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 제 4 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과의 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 화소 전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

&lt;74&gt;

본 발명의 제 7 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 오픈

부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 원형띠 구조의 제 2 공통전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 3 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과의 이격구간으로 정의되는 개구 영역의 주 영역을 원형띠 구조로 구성하는 화소 전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

&lt;75&gt;

본 발명의 제 8 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 오픈

부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역 내에서 원형띠 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 보호층을 형성하는 단계와;

<76>           상기 보호층을 덮는 영역에 위치하며, 상기 제 1, 2 공통전극 패턴 간의 이격 영역 및 상기 공통 배선과 연결 배선간의 교차 영역을 제 1 오픈부로 가지는 PR(photo resist) 패턴을 형성하는 단계와;

<77>           상기 PR 패턴을 마스크로 이용하여 상기 제 1 오픈부를 통해 노출된 보호층을 식각하는 단계와;

<78>           상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

<79>           상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명

도전성 물질을 리프트 오프(lift off)하는 단계와; 상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 보호층이 식각되어 노출된 상기 연결배선과 연결되며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조의 화소 전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

<80>

본 발명의 제 9 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 공통 배선을 서로 이격되게 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 배선을 덮는 기판 전면에서 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 위치하며, 상기 화소 영역에서 연결 배선과 이격되게 위치하는 제 1 오픈부와, 상기 공통 배선과 이격되게 위치하는 제 2 오픈부를 가지며, 상기 제 1, 2 오픈부 간의 이격구간은 원형띠 형상을 가

지는 PR 패턴을 형성하는 단계와; 상기 PR 패턴을 일종의 마스크로 이용하여, 노출된 영역 상의 게이트 절연막 물질을 제거하여, 해당 영역의 공통 배선을 노출시키는 단계와; 상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와; 상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프하는 단계와; 상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 공통 배선과 연결되게 위치하는 공통 전극과, 상기 연결 배선과 연결되게 위치하는 화소 전극을 형성하는 단계를 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

<81>

본 발명의 제 10 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴 구조로 반도체층을 형성하는 단계와; 상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고,

상기 박막트랜지스터를 덮는 기판 전면에 제 4 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 달팽이꼴 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

<82>

본 발명의 제 11 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화면을 구현하는 최소 단위인 화소 영역의 테두리부를 두르며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를



이루고, 상기 박막트랜지스터를 덮는 기판 전면에 제 3 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 달팽이꼴 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

<83>           본 발명의 제 6, 7, 8, 10, 11 특징에 따른 상기 제 1 공통전극 패턴이 가지는 오픈부는 원형의 오픈부이거나, 또는 모서리부를 가지는 것을 특징으로 한다.

<84>           본 발명의 제 6, 7 특징에 따른 상기 화소 전극을 형성하는 단계에서, 상기 인출 배선은, 서로 대향되게 위치하는 제 1, 2 인출 배선과, 상기 제 1, 2 인출 배선과 화소 전극을 연결시키는 연결 배선을 포함하며, 상기 제 1 인출 배선이 실질적으로 박막트랜지스터와 연결되고, 상기 제 1, 2 인출 배선과 제 1 공통전극 패턴 간의 중첩 영역은, 절연체가 개재된 상태에서 스토리지 캐패시터를 이루며, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에 위치하는 원형띠 패턴 구조의 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내에 위치하는 원형 패턴 구조의 제 2 화소전극 패턴으로 이루어지는 것을 특징으로 한다.

<85>           본 발명의 제 8 특징에 따른 상기 화소 전극을 형성하는 단계에서는, 상기 제 1, 2 공통전극 패턴 사이에 위치하는 원형띠 패턴 구조의 제 1 화소전극

패턴과, 상기 제 2 공통전극 패턴 내에 위치하는 원형 패턴 구조의 제 2 화소전극 패턴을 서로 독립적인 패턴으로 형성하는 단계를 포함하는 것을 특징으로 한다.

<86>           상기 본 발명의 제 9 특징에 따른 상기 공통 전극은, 화소 영역의 테두리부를 두르는 위치에서 오픈부를 가지는 제 1 공통전극 패턴 그룹과, 상기 오픈부 내에서 반원형띠 패턴 구조의 제 2 공통전극 패턴 그룹으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 그룹 사이에 구간에 위치하는 반원형띠 패턴 구조의 제 1 화소전극 패턴 그룹과, 상기 제 2 공통전극 패턴 그룹 내 위치하는 제 2 화소 전극 패턴으로 이루어지며, 상기 제 1, 2 공통전극 패턴 그룹, 제 1 화소전극 패턴 그룹 내 패턴 들은 각각 독립적인 패턴인 것을 특징으로 한다.

<87>           상기 제 7, 8, 9, 11 특징에 따른 상기 제 2 마스크 공정에서는, 회절 노광법이 이용되고, 상기 본 발명의 제 10, 11 특징에 따른 상기 제 1 공통전극 패턴과 인출 배선이 중첩되는 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루고, 상기 화소 전극은, 상기 제 2 공통전극 패턴을 감싸는 달팽이꼴 패턴 구조를 가지는 것을 특징으로 한다.

<88>           상기 본 발명의 제 6 내지 11 특징에 따른 상기 화소 영역은 정사각형 영역으로 형성하는 것을 특징으로 하고, 상기 제 8, 9 특징에 따른 상기 스토리지 전극과 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루는 것을 특징으로 한다.

<89>           본 발명의 제 12 특징에서는, 상기 본 발명의 제 6 내지 11 특징에 따른 제조 방법에 의해 형성된 어레이 기판인 제 1 기판과; 상기 제 1 기판과 대향되게 배

치된 제 2 기판과; 상기 제 1, 2 기판 사이에 개재된 액정층을 포함하는 횡전계형 액정표시장치를 제공한다.

<90>           상기 제 1 기판에는 횡전계를 형성하며, 원형띠 구조 또는 달팽이꼴 구조 중 어느 한 개구 영역을 구성하는 패턴 구조의 공통 전극 및 화소 전극이 형성되어 있고, 상기 액정층은 상기 횡전계에 의해 구동되며, 상기 액정의 방향자가 어느 방향에서나 동일하고, 상기 제 2 기판에는, 적, 녹, 청 컬러필터층 및 화소 영역을 오픈부로 가지는 블랙매트릭스를 추가로 포함하는 것을 특징으로 한다.

<91>           상기 제 2 특징에 따른 상기 연결 배선과 화소 전극 사이에는, 상기 화소 전극과 대응되는 영역을 가지며, 상기 연결 배선을 노출시키는 제 1 오픈부를 가지는 절연층이 개재되는 것을 특징으로 하고, 상기 게이트 배선 및 데이터 배선의 일 끝단에는 각각 게이트 패드 및 데이터 패드가 형성되고, 상기 게이트 패드 및 데이터 패드와 연결되며, 상기 화소 전극과 동일 물질로 이루어진 게이트패드 전극 및 데이터패드 전극이 각각 형성되는 것을 특징으로 한다.

<92>           상기 게이트 및 데이터 패드와 상기 게이트패드 및 데이터패드 전극 사이에 상기 절연층이 개재되며, 상기 절연층은 상기 게이트 및 데이터 패드를 일부 노출시키는 제 2, 3 오픈부를 더 포함하고, 상기 게이트패드 및 데이터패드 전극은 상기 제 2, 3 오픈부 내에 위치하는 것을 특징으로 한다.

<93>           또한, 상기 공통 전극은 제 1, 2 공통전극 패턴으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭구조로 분리된 제 1, 2 화소전극 패턴과, 상기 연결 배선과 상기 공통 배선의

교차 영역에서 상기 연결 배선 영역 내 위치하는 제 3 화소전극 패턴으로 이루어지는 것을 특징으로 한다.

<94>           상기 제 8 특징에 따른 상기 게이트 배선을 형성하는 단계에서 상기 게이트 배선의 일 끝단에 위치하는 게이트 패드를 형성하는 단계와, 상기 데이터 배선을 형성하는 단계에서 상기 데이터 배선의 일 끝단에 위치하는 데이터 패드를 형성하는 단계를 더 포함하는 것을 특징으로 하고, 상기 PR 패턴을 형성하는 단계에서, 상기 PR 패턴에 상기 게이트 패드 및 데이터 패드의 일부 영역을 각각 노출시키는 제 2, 3 오픈부를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<95>           상기 보호층을 식각하는 단계에서, 상기 제 2, 3 오픈부를 통해 노출된 보호층 물질을 식각하는 단계를 더 포함하고, 상기 제 2 오픈부에서 상기 게이트 절연막을 포함하여 보호층을 식각하여, 상기 게이트 패드를 일부 노출시키고, 상기 제 3 오픈부에서는 상기 보호층을 식각하여, 상기 데이터 패드를 일부 노출시키는 것을 특징으로 한다.

<96>           그리고, 상기 화소 전극을 형성하는 단계에서는, 상기 제 2 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 게이트 패드와 연결되는 게이트패드 전극으로 형성하고, 상기 제 3 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 데이터 패드와 연결되는 데이터패드 전극으로 형성하는 것을 특징으로 한다.

<97>           상기 제 1 오픈부는, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭 구조로 분리되어 위치하는 제 1, 2 서브 오픈부와, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 내 위치하는 제 1 서브

오픈부로 이루어지고, 상기 제 1 내지 3 서브오픈부와 대응된 위치에 제 1 내지 3 화소전극 패턴으로 형성하는 것을 특징으로 한다.

<98> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<99> -- 제 1 실시예 --

<100> 본 실시예는, 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판 구조 및 그 제조 공정에 대한 실시예로서, 감광성 물질을 이용한 패터닝 공정으로 정의되는 사진식각공정인 마스크 공정수를 기준으로, 특히 5 마스크 공정에 의한 어레이 기판 및 그의 제조 공정에 대해서 설명한다.

<101> 도 5는 본 발명의 제 1 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도이다.

<102> 도시한 바와 같이, 기판(110) 상에 제 1 방향으로 게이트 배선(112)이 형성되어 있고, 게이트 배선(112)과 교차되는 제 2 방향으로 데이터 배선(128)이 형성되어 있으며, 게이트 배선(112)과 데이터 배선(128)의 교차지점에는 박막트랜지스터(T)가 형성되어 있다.

<103> 상기 게이트 배선(112) 및 데이터 배선(128)의 교차 영역은 화소 영역(P)으로 정의되며, 화소 영역(P)에는 화소 전극(138) 및 공통 전극(120)이 모두 형성되어 있고, 특히 본 실시예에서는 화소 전극(138) 및 공통 전극(120)이 원형 패턴으로 형성되어 있어, 어떠한 방향에서도 액정 분자의 방향자가 동일하여 특정 각도에

서 색반전이 발생하는 것을 방지할 수 있는 구조인 것을 특징으로 한다.

<104>            좀 더 상세히 설명하면, 상기 제 1 방향으로 게이트 배선(112)과 일정간격 이격되게 공통 배선(114)이 형성되어 있고, 공통 배선(114)에서 분기되어 전술한 공통 전극(120)이 구성된다. 본 실시예에 따른 공통 전극(120)은, 화소 영역(P)의 테두리부를 두르는 영역에 형성되며, 원형의 오픈부(118)를 가지는 제 1 공통전극 패턴(120a)과, 상기 제 1 공통전극 패턴(120a)의 오픈부(118) 내에서, 상기 공통 배선(114)을 중심축으로 하여 원형의 전극 구조의 제 2 공통전극 패턴(120b)으로 이루어져 있다.

<105>            그리고, 상기 제 1 공통전극 패턴(120a)과 제 1 방향으로 중첩된 위치에는 제 1, 2 인출배선 패턴(140a, 140b)이 형성되어 있고, 제 1, 2 인출배선 패턴(140a, 140b)에는 공통 배선(114)과 교차되는 방향으로 연결 배선(141)이 형성되어 있으며, 상기 연결 배선(141)에서는, 제 1, 2 공통전극 패턴(120a, 120b) 사이 구간에서 원형의 전극 구조의 제 1 화소전극 패턴(138a)과, 연결 배선(141)과 공통 배선(114)의 교차지점에서 원형 패턴으로 이루어진 제 2 화소전극 패턴(138b)으로 이루어진 화소 전극(138)이 분기되어 있다.

<106>            상기 화소 영역(P)은, 전술한 연결 배선(141) 및 공통 배선(114)에 의해 네 개의 도메인으로 분리된 멀티 도메인 구조를 이룬다.

<107>            그리고, 상기 제 1, 2 인출 배선(140a, 140b)과 제 1 공통전극 패턴(120a) 간에 중첩 영역은 스토리지 캐패시터( $C_{ST}$ )를 이루는 것을 특징으로 한다.

<108> 한편, 상기 제 1, 2 인출 배선(140a, 140b)은, 제 1 공통전극 패턴(120a)과 제 1 화소전극 패턴(138a)간에 발생하는 횡전계의 약화를 방지하기 위해, 제 1 공통전극 패턴(120a)의 외곽을 노출시키는 범위에서, 제 1 공통 전극 패턴(120a)보다 작은 면적으로 형성되는 것이 중요하다.

<109> 즉, 본 실시예에 따르면 공통 전극과 화소 전극이, 원형띠 구조의 개구 영역을 구성할 수 있는 구조를 가짐에 따라 액정 분자를 어느 위치에서나 전극에 수직인 등전위선을 따라 배열시키므로 우수한 시야각 특성을 얻는 것이 가능하다. 또한, 상기 공통 전극과 화소 전극 사이에 형성된 횡전계는 액정 분자를 도면에서와 같이 배열시킴으로써, 각 화소 영역의 대각선 방향의 컬러 쉬프트를 보상하여, 일반적인 횡전계 방식 액정표시소자에서 나타나는 방위각  $\pm 45^\circ$  에서의 색반전 문제를 해결할 수 있다.

<110> 도 6a 내지 6e는 본 발명의 제 1 실시예에 따른 5 마스크 횡전계형 액정표시장치용 어레이 기판에 대한 제조 공정을 단계별로 나타낸 평면도로서, 상기 제 1 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 제조 공정에 대한 것이다.

<111> 도 6a는 기판(110) 상에 제 1 금속물질을 이용한 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 배선(112)과 공통 배선(114)을 서로 이격되게 형성하는 단계이다.

- <112>           상기 제 1 마스크 공정은 감광성 물질인 포토레지스트(photoresist)를 이용하여 노광, 현상, 식각하여 형성된 포토레지스트 패턴을 이용하여 패터닝(patterning) 공정을 진행하는 공정에 해당된다.
- <113>           상기 게이트 배선(112)의 형성 단계에서는, 게이트 배선(112)에서 분기되는 게이트 전극(116)을 형성하는 단계가 포함된다.
- <114>           그리고, 상기 공통 배선(114)을 형성하는 단계에서는, 상기 공통 배선(114)에서 분기되며, 화면을 구현하는 최소단위로 정의되는 화소 영역(P) 단위로, 화소 영역(P)의 테두리부를 두르는 위치에 형성되고, 중앙부에서 원형의 오픈부(118)를 가지는 제 1 공통전극 패턴(120a)과, 상기 오픈부(118) 내에 원형의 패턴으로 형성된 제 2 공통전극 패턴(120b)으로 이루어지는 공통 전극(120)을 형성하는 단계를 포함한다.
- <115>           도 6b는, 상기 게이트 배선(112) 및 공통 배선(114)을 덮는 영역에, 게이트 절연막(미도시)을 형성하는 단계와, 제 2 마스크 공정에 의해 게이트 전극(116)을 덮는 영역에 반도체층(126)을 형성하는 단계이다.
- <116>           도면으로 상세히 제시하지 않았지만, 상기 반도체층(126)은 비정질 실리콘 물질로 이루어진 액티브층과, 불순물 비정질 실리콘 물질로 이루어진 오믹콘택층이 차례대로 적층된 구조로 이루어진다.
- <117>           도 6c는, 반도체층(126)을 덮는 영역에 제 2 금속물질을 이용한 제 3 마스크 공정에 의해, 제 2 방향으로 게이트 배선(112)과 교차되게 데이터 배선(128)을 형



성하는 단계이다.

<118> 이 단계에서는, 상기 데이터 배선(128)에서 분기된 소스 전극(130)과, 소스 전극(130)과 이격되게 위치하는 드레인 전극(132)을 형성하는 단계를 포함하며, 소스 전극(130) 및 드레인 전극(132)은 반도체층(126)과 중첩되게 위치하며, 상기 소스 전극(130) 및 드레인 전극(132) 사이 구간의 반도체층(126)의 진성 반도체 물질을 노출시켜 채널(ch)을 형성하는 단계를 포함한다.

<119> 상기 게이트 전극(116), 반도체층(126), 소스 전극(130), 드레인 전극(132)은 박막트랜지스터(T)를 이룬다.

<120> 도 6d는, 상기 박막트랜지스터(T)를 덮는 영역에 절연 물질을 이용하여 제 4 마스크 공정에 의해, 드레인 전극(132)을 일부 노출시키는 드레인 콘택홀(134)을 가지는 보호층(미도시)을 형성하는 단계이다.

<121> 도 6e는, 상기 보호층 상부에, 투명 도전성 물질을 이용한 제 5 마스크 공정에 의해, 상기 박막트랜지스터(T)와 연결되는 인출 배선(140)과, 원형 패턴으로 이루어진 화소 전극(138)을 형성하는 단계이다.

<122> 좀 더 상세히 설명하면, 상기 제 1 공통전극 패턴(120a)과 제 1 방향으로 각각 중첩되게 위치하는 제 1, 2 인출배선 패턴(140a, 140b)을 형성하는 단계와, 화소 영역(P) 단위로 공통 배선(114)의 중심부와 교차되게 연결 배선(141)을 형성하는 단계와, 상기 제 1, 2 공통전극 패턴(120a, 120b) 사이 구간에 원형 패턴으로 이루어진 제 1 화소전극 패턴(138a)을 형성하는 단계와, 상기 공통 배선(114)과 연결 배선의 교차지점에 원형 패턴의 제 2 화소전극 패턴(138b)을 형성하는 단계를

포함한다.

<123>      상기 화소 영역(P)은, 연결 배선(141) 및 공통 배선(114)이 교차되는 영역별로 서로 다른 액정 분자 배열 특성을 가지는 도메인이 구성되며, 한 예로 본 실시예에서는 4 도메인 구조를 가진다. 또한, 본 실시예에서는 화소 전극(138)과 공통 전극(120)이 원형 패턴 구조를 가지고 있는 구조적 특징에 의해 액정의 방향자가 어느 방향에서나 동일하기 때문에, 특정 각도에서의 색반전에 의해 콘트라스트가 저하되는 것을 방지할 수 있다.

<124>      한 예로, 상기 투명 도전성 물질은 ITO(indium tin oxide), ITZO(indium tin zinc oxide), IZO(indium zinc oxide) 중 어느 하나에서 선택될 수 있다.

<125>      -- 제 2 실시예 --

<126>      본 실시예는, 5 마스크 공정에 의한 달팽이꼴 전극 구조 횡전계형 액정표시 장치용 어레이 기판 및 그 제조 공정에 대한 실시예이다.

<127>      본 실시예 구조에 의하면, 상기 제 1 실시예에 따른 원형띠 전극 구조와 다르게 공통 전극 및 화소 전극이 별도의 연결 패턴없이 직접적으로 공통 배선 및 인출 배선과 연결된 구조를 가지면서도, 상기 제 1 실시예에서와 같이 어느 방향에서나 액정의 방향자를 동일하게 할 수 있다.

<128>      전술한 "달팽이꼴"에 대한 사전적 정의를 살펴보면, 예를 들어 지름이 "a"인 원 위의 점 "O"를 끝점으로 하는 현(弦) "OQ" 위 또는 그 연장 위에 "Q"로부터의

길이 "b"인 선분 "QP"를 "Q"의 양쪽에 취할 때, "Q"가 이 원주 위를 움직일 경우의 "P"의 자취인 곡선을 의미하는 것이고, 와우형(蝸牛形) 또는 리마송이라고도 불리우기도 한다.

&lt;129&gt;

도 7은 본 발명의 제 2 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도로서, 상기 도 5와 중복되는 부분에 대한 설명은 간략히 하거나 생략한다.

&lt;130&gt;

도시한 바와 같이, 제 1 방향으로 공통 배선(214)이 형성되어 있고, 공통 배선(214)과 연결되어 화소 영역(P)에는, 화소 영역(P)의 테두리부를 두르는 영역에 위치하고 내부에 원형 오픈부(218)를 가지는 제 1 공통전극 패턴(220a)과, 상기 제 1 공통전극 패턴(220a)의 오픈부(218) 내에 달팽이꼴로 형성된 제 2 공통전극 패턴(220b)이 형성되어 있다. 상기 제 1, 2 공통전극 패턴(220a, 220b)은 공통 전극(220)을 이루고, 공통 전극(220)과 공통 배선(214)은 일체형 패턴인 것을 특징으로 한다.

&lt;131&gt;

그리고, 상기 화소 영역(P)에는, 박막트랜지스터(T)의 드레인 전극(232)과 연결되며 제 1 공통전극 패턴(220a)과 절연된 상태에서 중첩되게 형성된 인출 배선(240)과, 인출 배선(240)과 연결되며 제 2 공통전극 패턴(220b)을 감싸는 구조의 달팽이꼴 구조의 화소 전극(238)이 형성되어 있다. 상기 인출 배선(240)과 화소 전극(238)은 일체형 패턴을 이루고, 상기 제 2 공통전극 패턴(220b)과 화소 전극(238)은 서로 일정 간격을 유지하며 달팽이꼴 구조를 이루고 있다.

&lt;132&gt;

이때, 상기 인출 배선(240)은 제 1 공통전극 패턴(220a)과 대응된 영역에 형

성됨에 있어서, 제 1 공통전극 패턴(220a)과 화소 전극(238) 간의 횡전계 형성을 위하여, 제 1 공통전극 패턴(220a)보다 내부에 위치하는 것이 중요하다. 그리고, 상기 제 1 공통전극 패턴(220a)과 인출 배선(240) 간에 중첩 영역은 절연체가 개재된 상태에서 스토리지 캐패시터( $C_{ST}$ )를 이룬다.

<133>           본 실시예에 따른 전극 구조에 의하면, 두 전극 간에 위치하는 개구 영역을 달팽이꼴 구조로 형성할 수 있어, 액정의 방향자가 어느 방향에서나 동일한 효과를 가질 수 있다.

<134>           도 8a 내지 8e는 본 발명의 제 2 실시예에 따른 5 마스크 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도로서, 상기 도 6a 내지 6e와 중복되는 부분에 대한 설명은 간략히 하거나 생략한다.

<135>           도 8a는 기판(210) 상에 제 1 마스크 공정에 의해, 게이트 배선(212), 공통 배선(214), 공통 전극(220)을 형성하는 단계이다.

<136>           상기 게이트 배선(212)과 공통 배선(214)은 동일 방향으로 서로 이격되게 형성되고, 상기 공통 전극(220)은 공통 배선(214)과 일체형 패턴을 이루며, 공통 전극(220)은 화소 영역(P)의 테두리를 두르는 영역에 위치하고, 원형의 오픈부(218)를 가지는 제 1 공통전극 패턴(220a)과, 오픈부(218) 내 위치하며 달팽이꼴 구조로 이루어진 제 2 공통전극 패턴(220b)으로 이루어진다.

<137>           다음, 도 8b는 제 2 마스크 공정에 의해 게이트 절연막(미도시), 반도체층

(226)을 형성하는 단계이고, 도 8c는 제 3 마스크 공정에 의해 게이트 배선(212)과 교차되는 데이터 배선(228)을 형성하는 단계이다.

<138> 이 단계에서는, 소스 전극(230) 및 드레인 전극(232), 그리고, 소스 전극(230) 및 드레인 전극(232) 간 이격구간의 반도체층(226)의 진성 반도체 물질층(미도시)을 노출시켜 채널(ch)을 형성하는 단계를 포함한다.

<139> 상기 게이트 전극(216), 반도체층(226), 소스 전극(230), 드레인 전극(232)은 박막트랜지스터(T)를 이룬다.

<140> 도 8d는, 제 4 마스크 공정에 의해 드레인 전극(232)을 일부 노출시키는 드레인 콘택홀(234)을 가지는 보호층(미도시)을 형성하는 단계이고, 도 8e는 제 5 마스크 공정에 의해, 상기 드레인 콘택홀(234)을 통해 드레인 전극(232)과 연결되는 인출 배선(240)과, 인출 배선(240)에서 분기되며 전술한 제 2 공통전극 패턴(220b)을 일정간격 이격되게 감싸는 달팽이꼴 구조의 화소 전극(238)을 형성하는 단계이다.

<141> -- 제 3 실시예 --

<142> 본 실시예는, 상기 제 1 실시예보다 하나의 마스크 공정을 절감한 4 마스크 공정에 의한 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판 구조 및 그의 제조 공정에 대한 실시예이다.

<143> 본 실시예는, 회절 노광법을 이용하여 반도체층, 데이터 배선, 그리고 채널을 하나의 마스크 공정에서 형성함으로써 마스크 공정을 단축하는 것을 특징으로

한다.

<144> 도 9는 본 발명의 제 3 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 제 1 실시예와 구별되는 구조적 특성을 중심으로 간략하게 설명한다.

<145> 도시한 바와 같이, 게이트 배선(312)과 데이터 배선(328)이 교차되게 형성되어 있고, 게이트 배선(312) 및 데이터 배선(328)의 교차지점에 박막트랜지스터(T)가 형성되어 있으며, 박막트랜지스터(T)와 연결되어 화소 전극(338)이 형성되어 있고, 게이트 배선(312)과 동일 방향으로 이격되게 형성된 공통 배선(314)은 화소 전극(338)과 엇갈리게 위치하는 공통 전극(320)이 분기되어 있고, 상기 화소 전극(338) 및 공통 전극(320)은 원형띠 전극 구조를 이루고 있다.

<146> 상기 게이트 배선(312)에서는 게이트 전극(316)이 분기되어 있고, 데이터 배선(328)에서는 소스 전극(330)이 분기되어 있으며, 소스 전극(330)과 이격되게 드레인 전극(332)이 위치하며, 상기 데이터 배선(328), 소스 전극(330), 드레인 전극(332)과 대응되는 패턴 구조로 반도체 물질층(325)이 형성되어 있고, 상기 소스 전극(330) 및 드레인 전극(332) 영역과 대응된 위치의 반도체 물질층(325)은 박막트랜지스터(T)에 포함되는 반도체층(326)을 이룬다.

<147> 이하, 본 실시예에 따른 4 마스크 횡전계형 액정표시장치의 제조 공정에 대해서 도면을 참조하여 보다 상세히 설명한다.

<148> 도 10a 내지 10d는 본 발명의 제 3 실시예에 따른 4 마스크 일반적인 원형전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도로서, 상기 제 1 실시예에 따른 5 마스크 공정과 구별되는 공정적 특징을 중심으로 설명한다.

<149> 도 10a는, 기판(310) 상에 제 1 마스크 공정에 의해, 게이트 배선(312), 공통 배선(314)을 형성하는 단계이다.

<150> 이 단계에서는, 상기 게이트 배선(312)과 연결되는 게이트 전극(316)과, 공통 배선(314)과 연결되는 공통 전극(320)을 형성하는 단계를 포함하며, 상기 공통 전극(320)은 제 1, 2 공통전극 패턴(320a, 320b)으로 이루어진다.

<151> 도 10b는, 상기 게이트 배선(312), 게이트 전극(316), 공통 배선(314), 공통 전극(320)을 덮는 영역에, 게이트 절연막, 순수 비정질 실리콘 물질, 불순물 비정질 실리콘 물질, 금속물질을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 순수 비정질 실리콘 물질, 불순물 비정질 실리콘 물질, 금속물질을 동시에 패터닝하여, 동일한 패턴 구조의 반도체 물질층(325), 데이터 배선(328)을 형성하는 단계이다.

<152> 상기 데이터 배선(328)에는, 전술한 게이트 전극(316)의 일측과 중첩되는 소스 전극(330)이 분기되어 있고, 소스 전극(330)과 일정간격 이격되게 드레인 전극(332)을 형성하는 단계를 포함한다. 상기 반도체 물질층(325)은 소스 전극(330) 및 드레인 전극(332) 그리고, 소스 전극(330) 및 드레인 전극(332)간 이격 구간을 포함하여 대응된 패턴 구조로 형성된다.

<153> 본 단계에서는, 선택영역별로 마스크의 두께를 조절하는 회절 노광법이 이용되는 것을 특징으로 한다.

<154> 도면으로 상세히 제시하지 않았지만, 상기 회절 노광법에 대해서 좀 더 상세히 설명하면, 실리콘 물질층(순수 비정질 실리콘 물질층, 불순물 비정질 실리콘 물질층), 금속층을 차례대로 증착한 다음, 상기 금속층 상부에 제 1 두께치를 가지는 포토레지스트를 도포하고, 상기 포토레지스트 상부에 투과부, 반투과부, 차단부를 가지는 마스크를 배치한 다음 노광 공정을 진행한다. 한 예, 노광된 부분이 패턴으로 남는 네가티브 타입으로 패터닝 공정을 진행한다고 가정하면, 채널 형성부와 대응된 영역은 노광용 마스크의 반투과부와 대응되고, 소스 전극 및 드레인 전극 형성부는 투과부와 대응되며, 그외 영역은 차단부와 대응되게 배치됨에 따라, 현상 공정을 통해 소스 전극 및 드레인 전극 형성부는 제 1 두께치, 채널 형성부는 제 1 두께치보다 얇은 두께치의 제 2 두께치를 가지도록 패터닝된 PR패턴으로 형성된다.

<155> 다음, 상기 PR패턴을 제 2 두께치만큼 에칭(ashing)처리하여, 상기 채널 형성부의 실리콘 물질층을 노출시키는 PR패턴으로 형성하는 단계가 이어지고, 상기 에칭처리된 PR패턴을 이용하여 노출된 채널 형성부의 불순물 비정질 실리콘층을 제거하고, 그 하부층을 이루는 순수 비정질 실리콘층을 노출하여, 노출된 순수 비정질 실리콘층 영역을 채널로 구성하는 단계를 포함한다.

<156> 상기 게이트 전극(316), 소스 전극(330), 드레인 전극(332)과 중첩된 영역의 반도체 물질층(325) 영역은 반도체층(326)을 이루고, 상기 게이트 전극(316), 반도체층(326), 소스 전극(330), 드레인 전극(332)은 박막트랜지스터(T)를 이룬다.



&lt;157&gt;

다음, 도 10c는 상기 박막트랜지스터(T)를 덮는 영역에 절연 물질을 형성한 다음, 제 3 마스크 공정에 의해 상기 드레인 전극(332)을 일부 노출시키는 드레인 콘택홀(334)을 가지는 보호층(미도시)을 형성하는 단계이고, 도 10d는 상기 보호층(미도시) 상부에, 드레인 콘택홀(334)을 통해 드레인 전극(332)과 연결되는 화소 전극(338)을 형성하는 단계이다.

&lt;158&gt;

좀 더 구체적으로 설명하면, 본 단계에서는 실질적으로 드레인 전극(332)과 연결되며, 인접한 제 1 공통전극 패턴(320a) 영역과 중첩되게 위치하는 제 1 인출 배선(340a)과, 제 1 인출 배선(340a)과 마주보는 위치에서 제 1 공통전극 패턴(320a) 영역과 중첩되게 위치하는 제 2 인출 배선(340b)과, 상기 제 1, 2 인출 배선(340a, 340b)을 연결하는 패턴이며, 상기 공통 배선(314)과 교차되게 위치하는 연결 배선(341)을 형성하는 단계와, 상기 연결 배선(341)에서 분기된 패턴 구조를 가지며, 제 1, 2 공통전극 패턴(320a, 320b) 사이 구간에 위치하는 제 1 화소전극 패턴(338a)과, 제 2 공통전극 패턴(320b) 내부에 위치하는 제 2 화소전극 패턴(338b)을 형성하는 단계를 포함한다.

&lt;159&gt;

상기 제 1, 2 화소전극 패턴(338a, 338b)은 화소 전극(338)을 이루고, 상기 제 1, 2 인출 배선(340a, 340b), 연결 배선(341), 제 1, 2 화소전극 패턴(338a, 338b)은 일체형 패턴에 해당된다.

&lt;160&gt;

본 실시예에 따른 액정표시장치에서의 횡전계 구동은, 제 1 마스크 공정에서 형성된 공통 전극과, 제 4 마스크 공정에서 형성된 화소 전극 간의 전압차에 의해 이루어진다.

<161>            -- 제 4 실시예 --

<162>            본 실시예는, 상기 제 2 실시예보다 하나의 마스크 공정을 절감한 4 마스크 공정에 의한 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판 구조 및 그 의 제조 공정에 대한 실시예이다.

<163>            본 실시예는, 상기 제 3 실시예에서와 같이 회절 노광법을 이용하여 반도체 층, 데이터 배선, 그리고 채널을 하나의 마스크 공정에서 형성하므로써 두 개의 마스크 공정을 하나의 마스크 공정으로 단축하는 것을 특징으로 한다.

<164>            도 11은 본 발명의 제 4 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 제 2 실시예와 구별되는 구조적 특징을 중심으로 간략하게 설명한다.

<165>            도시한 바와 같이, 게이트 배선(412)과 데이터 배선(428)이 교차되게 형성되어 있고, 게이트 배선(412) 및 데이터 배선(428)의 교차지점에 박막트랜지스터(T)가 형성되어 있으며, 박막트랜지스터(T)와 연결되어 화소 전극(438)이 형성되어 있고, 게이트 배선(412)과 동일 방향으로 서로 이격되게 위치한 공통 배선(414)에서는 화소 전극(438)과 엇갈리게 위치하는 공통 전극(420)이 형성되어 있고, 상기 화소 전극(438) 및 공통 전극(420)은 달팽이꼴 구조를 이루고 있다.

<166>            상기 게이트 배선(412)에서는 게이트 전극(416)이 분기되어 있고, 데이터 배선(428)에서는 소스 전극(430)이 분기되어 있으며, 소스 전극(430)과 이격되게 드

레인 전극(432)이 위치하며, 상기 데이터 배선(428), 소스 전극(430), 드레인 전극(432)과 대응되는 패턴 구조로 반도체 물질층(425)이 형성되어 있고, 상기 소스 전극(430) 및 드레인 전극(432) 영역과 대응된 위치의 반도체 물질층(425)은 박막트랜지스터(T)에 포함되는 반도체층(426)을 이룬다.

<167> 이하, 4 마스크 공정에 따른 달팽이꼴 구조 횡전계형 액정표시장치의 제조 공정에 대해서 도면을 참조하여 보다 상세히 설명한다.

<168> 도 12a 내지 12d는 본 발명의 제 4 실시예에 따른 4 마스크 달팽이꼴 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도로서, 상기 도 10a 내지 10d와 구별되는 공정적 특징을 중심으로 설명한다.

<169> 도 12a는, 제 1 마스크 공정에 의해 게이트 배선(412), 공통 배선(414)을 형성하는 단계이며, 게이트 배선(412)에서는 게이트 전극(416)이 분기되고, 공통 배선(414)에는 화소 영역(P)의 테두리부를 두르는 영역에 위치하고, 원형의 오픈부(418)를 가지는 제 1 공통전극 패턴(420a)과, 오픈부(418) 내에 달팽이꼴 구조로 이루어진 제 2 공통전극 패턴(420a)이 분기되어 있다.

<170> 도 12b는, 상기 게이트 배선(412), 공통 배선(414), 제 1, 2 공통전극 패턴(420a, 420b)을 덮는 영역에, 제 2 마스크 공정에 의해 반도체 물질층(425), 데이터 배선(428), 반도체층(426), 소스 전극(430), 드레인 전극(432), 채널(ch)을 형성하는 단계이다.

- <171>           상기 게이트 전극(416), 반도체층(426), 소스 전극(430), 드레인 전극(432)은 박막트랜지스터(T)를 이룬다.
- <172>           이 단계에서는, 상기 도 10b에서와 같은 원리의 회절 노광법이 적용될 수 있다.
- <173>           도 12c는, 상기 박막트랜지스터(T)를 덮는 영역에 위치하며, 상기 드레인 전극(432)을 일부 노출시키는 드레인 콘택홀(434)을 가지는 보호층(미도시)을 형성하는 단계이다.
- <174>           도 12d는, 상기 보호층 상부에, 드레인 콘택홀(434)을 통해 드레인 전극(432)과 연결되는 화소 전극(438)을 형성하는 단계이다.
- <175>           좀 더 구체적으로 설명하면, 본 단계에서는 실질적으로 드레인 전극(432)과 연결되며, 상기 제 1 공통 전극(420a)과 대응되는 영역에 인출 배선(440)과, 상기 인출 배선(440)에서 분기되며, 상기 제 2 공통전극 패턴(420b)은 일정간격을 유지하며 감싸는 구조의 달팽이꼴 구조를 가지는 화소 전극(438)을 형성하는 단계를 포함한다.
- <176>           이하, 본 발명에서는 보다 단순화된 마스크 공정에 의한 원형띠 전극 구조 형전계형 액정표시장치를 제공하기 위하여 리프트 오프 공정을 적용하고자 한다.
- <177>           도 13a 내지 13d는 일반적인 리프트 오프 공정에 대한 개략적인 공정 단면도이다.

<178> 도 13a는, 제 1 패턴 형성부인 제 1 영역(VIa)과, 제 1 영역(VIa)의 주변부를 이루는 제 2 영역(VIb)이 정의된 기판(450) 상의 제 2 영역(VIb)에 감광성 물질을 이용하여 PR 패턴(452)을 형성하는 단계이고, 도 13b는 PR 패턴(452)을 덮는 영역에 제 1 패턴물질(454)을 전면 형성하는 단계이다.

<179> 한 예로, 상기 제 1 패턴물질(454)은 금속물질 또는 투명 도전성 물질에서 선택될 수 있다.

<180> 다음, 도 13c는, 상기 PR 패턴(452)을 스트립하는 단계로서, 이 단계에서는 PR 패턴(452)을 덮는 영역의 제 1 패턴물질(454)이 리프트 오프 방식으로 같이 제거된다.

<181> 이에 따라, 도 13d에서와 같이, 제 1 영역(상기 도 13c의 VIa) 상에 남아있는 제 1 패턴물질(상기 도 13c의 454)이 제 1 패턴(456)을 이루게 된다.

<182> 이러한 리프트 오프 공정에 의하면, 노광, 현상, 식각 등 일련의 복잡한 공정이 요구되는 사진식각 공정보다 단순화된 공정을 통해서 원하는 패턴을 형성할 수 있다.

<183> 이하, 본 발명의 또 다른 실시예 들에서는 리프트 오프 공정이 적용된 제조 공정에 의해 횡전계형 액정표시장치에 대해서 제시한다.

<184> -- 제 5 실시예 --

<185> 본 실시예는, 포토레지스트 패턴이 형성된 기판 상에 금속 물질을 전면 증착

한 다음, 상기 포토레지스트 패턴을 스트립(strip)하는 공정을 통해, 포토레지스트 패턴을 덮고 있는 금속 물질을 리프트 오프(lift off)함으로써, 남겨진 금속물질을 패턴으로 이용하는 공정으로 정의되는 리프트 오프 공정을 포함한 3 마스크 어레이 공정에 대한 실시예이며, 특히 공통 전극은 공통 배선과 동일 공정에서 형성되고, 화소 전극은 제 3 마스크 공정에서 투명 도전성 물질로 이루어지는 것을 특징으로 한다.

<186> 도 14는 본 발명의 제 5 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시 장치용 어레이 기판에 대한 패드부를 포함하는 평면도이다.

<187> 상기 제 3 실시예와 구별되는 구조적 특징을 중심으로 간략하게 설명한다.

<188> 도시한 바와 같이, 게이트 배선(512)과 데이터 배선(528)이 교차되게 형성되어 있고, 게이트 배선(512) 및 데이터 배선(528)의 교차지점에 게이트 전극(516), 반도체층(526), 소스 전극(530), 드레인 전극(532)으로 이루어진 박막트랜지스터(T)가 형성되어 있으며, 박막트랜지스터(T)와 연결되어 화소 전극(538)이 형성되어 있고, 공통 배선(514)에서는 화소 전극(538)과 엇갈리게 위치하는 공통 전극(520)이 형성되어 있고, 상기 화소 전극(538) 및 공통 전극(520)은 원형띠 구조를 이루고 있다.

<189> 상기 드레인 전극(532)에는, 게이트 배선(512)과 평행한 방향으로 형성된 연결 배선(533)과, 전단 게이트 배선(512)과 중첩되게 형성된 스토리지 전극(535)이 일체형 패턴으로 연결되어 있다.

<190> 그리고, 게이트 배선(512) 및 데이터 배선(528)의 일끝단에는 게이트 패드

(1310) 및 데이터 패드(1314)가 각각 형성되어 있고, 게이트 패드(1310) 및 데이터 패드(1314)와 중첩된 제 1, 2 오픈부(XVIa, XVIb) 내에는 게이트 패드(1310) 및 데이터 패드(1314)와 연결되는 게이트패드 전극(1318) 및 데이터패드 전극(1320)이 각각 형성되어 있다.

<191> 본 실시예에서는, 드레인 전극(532)을 세 개의 패턴으로 연장형성함에 따라, 상기 화소 전극(538)은 별도의 인출 배선없이도 드레인 전극(532)과 연결되는 구조를 가지고 있다.

<192> 도면으로 상세히 제시하지 않았지만, 전술한 제 4, 5 마스크 공정에서는, 보호층의 드레인 콘택홀을 통해 화소 전극을 포함하는 인출 배선과 드레인 전극을 연결시키는 방식이었으나, 본 실시예에서는 보호층을 포함하되 리프트 오프 공정에 의해 별도의 콘택홀 공정을 생략하면서, 화소 전극(538)과 드레인 전극(532)을 연결시키는 것을 특징으로 한다.

<193> 전술한 반도체층(526)은, 상기 데이터 배선(528), 소스 전극(530), 드레인 전극(532)과 대응된 패턴 구조를 이루는 반도체 물질층(525)에 포함되고, 실질적으로 반도체 물질층(525), 데이터 배선(528), 소스 전극(530), 드레인 전극(532)은 회절 노광법을 이용한 동일 마스크 공정에서 형성되는 것을 특징으로 한다.

<194> 상기 게이트 배선(512)과 중첩되게 위치하는 스토리지 전극(535)은 절연체가 개재된 상태에서 스토리지 캐패시터( $C_{ST}$ )를 이룬다.

<195> 상기 공통 전극(520)은, 화소 영역(P)에서 원형의 오픈부(518)를 가지는 제

1 공통전극 패턴(520a)과, 오픈부(518) 내에 위치하는 원형띠 구조의 제 2 공통전극 패턴(520b)으로 이루어지고, 상기 화소 전극(538)은, 리프트 오프 공정에 의해 형성된 것으로 연결 배선(533)과 접촉되는 부분에서 전기적으로 연결됨에 따라, 제 1 공통전극 패턴(520a)과 제 2 공통전극 패턴(520b) 사이에 위치하며, 공통 배선(514) 영역에서 서로 이격되게 위치하며 전체적으로 타원형 형상을 이루는 제 1a, 1b 화소전극 패턴(538a, 538aa)과, 제 2 공통전극 패턴(520b) 내부 영역에서 공통 배선(514)과 제 2 드레인전극 패턴(532b)의 교차지점에서 제 2 드레인 전극 패턴(532b) 내에 위치하는 제 2 화소전극 패턴(538b)으로 이루어짐에 있어서, 제 1a, 1b 화소전극 패턴(538a, 538aa)과 제 2 화소전극 패턴(538b)은 서로 독립적인 패턴으로 존재하는 것을 특징으로 한다.

<196>           상기 화소 전극(538), 게이트패드 전극(1318), 데이터패드 전극(1320)은 리프트 오프 공정을 통해 형성된 것을 특징으로 한다.

<197>           이하, 도 15a 내지 15d는 본 발명의 제 5 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도이고, 도 25a 내지 25d, 도 26a 내지 26d는 상기 도 15a 내지 15d의 절단선 "XVa-XVa", "XVb-XVb"에 따라 절단된 단면을 각각 도시한 단면도이다.

<198>           도 15a, 25a, 26a는, 기판(510) 상에 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선(512) 및 공통 배선(514)을 서로 이격되게 형성하는 단계이다. 그리고, 게이트 배선(512)의 일끝단에 게이트 패드(1310)를 형성하는 단계를 포함한다.

<199>           상기 공통 배선(514)을 형성하는 단계에서는, 화소 영역(P)의 테두리부를 두



르는 위치에서 원형의 오픈부(518)를 가지는 제 1 공통전극 패턴(520a)과, 오픈부(518) 내에 원형띠 형상을 가지는 제 2 공통전극 패턴(520b)을 형성하는 단계를 포함하며, 공통 전극(520)을 형성하는 단계를 포함한다.

<200> 그리고, 상기 게이트 배선(512)을 형성하는 단계에서는, 상기 게이트 배선(512)에서는 화면을 구현하는 최소 단위인 화소 영역(P) 단위로 게이트 전극(516)이 분기되어 있다.

<201> 도 15b, 25b, 26b는, 상기 12b에서와 같이 회절 노광법을 이용한 제 2 마스크 공정에 의해, 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선(528)과, 데이터 배선(528)에서 분기된 소스 전극(530)과, 소스 전극(530)과 이격되게 위치하는 드레인 전극(532)과, 상기 데이터 배선(528), 소스 전극(530) 및 드레인 전극(532)과 대응되는 영역에 위치하며, 상기 소스 전극(530) 및 드레인 전극(532)과 대응된 하부 영역에서 반도체층(526)을 가지는 반도체 물질층(525)과, 상기 소스 전극(530)과 드레인 전극(532) 사이 구간에 위치하는 채널(ch)을 형성하는 단계를 포함한다.

<202> 상기 데이터 배선(528)의 일끝단에는 데이터 패드(1314)가 위치한다.

<203> 실질적으로, 게이트 절연막(1312), 반도체 물질, 데이터 배선 물질을 차례대로 형성한 다음, 전술한 2 마스크 공정을 진행한다.

<204> 상기 드레인 전극(532)을 형성하는 단계에서는, 제 1 방향으로 형성된 연결 배선(533)과, 전단 게이트 배선(512)과 중첩되게 위치하는 스토리지 전극(535)을

드레인 전극(532)과 일체형 패턴으로 형성하는 단계를 포함한다.

<205> 도 15c, 25c, 26c는, 상기 화소 영역(P)에 보호층(1316)을 형성하는 단계와, 이격 영역(II) 및 제 1, 2 오픈부(XVIa, XVIb)를 가지는 리프트 오프 공정용 PR 패턴(536)을 형성하는 단계와, PR 패턴(536)을 일종의 마스크로 이용하여 노출된 보호층(1316)을 식각하는 단계와, PR 패턴(536)을 덮는 영역에 투명 도전성 물질(537)을 전면 증착하는 단계이다.

<206> 상기 이격 영역(II)은 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선(514)과 비중첩되며, 상기 공통 배선(514)을 기준으로 서로 대칭구조로 이격되게 위치하는 제 1, 2 이격 영역(IIa, IIb)과 상기 연결 배선(533)과 공통 배선(514) 간의 교차 영역에서, 상기 연결 배선(533) 내 위치하는 제 3 이격 영역(IIc)으로 이루어지며, 후속 공정에서 화소 전극 및 패드 전극이 형성되는 영역에 해당되며, 상기 제 1 내지 3 이격 영역(IIa, IIb, IIC) 및 제 1, 2 오픈부(XVIa, XVIb)에 위치하는 투명 도전성 물질(537)은 연결 배선(533), 게이트 패드(1310), 데이터 패드(1314)와 각각 연결된다.

<207> 전술한 보호층(1316)을 식각하는 단계를 좀 더 상세히 설명하면, 상기 제 1 오픈부(XVIa)에서는 게이트 절연막(1312)을 포함하여 보호층(1316)을 식각함으로써 게이트 패드(1310)를 노출시키고, 제 2 오픈부(XVIb)에서는 보호층(1316)만을 식각하여 그 하부층의 데이터 패드(1314)를 노출시킨다.

<208> 전술한 리프트 오프 방식 패턴닝 공정은, 사진식각 공정용 패턴닝 공정과 다르게 형성하고자 하는 패턴과 대응되는 PR 패턴을 미리 형성한 다음, PR 패턴을 덮

는 기판 전면에 금속층을 전면 증착하고, PR 패턴을 스트립(strip)하는 공정을 진행하여, PR 패턴 상부를 덮는 금속층을 리프트 오프 방식으로 제거하고 남겨진 금속층 패턴을 전극 패턴으로 형성하는 공정에 해당된다.

<209> 도 15d, 25d, 26d는, 상기 PR 패턴(상기 도 15c의 536)을 덮는 기판 전면 투명 도전성 물질을 이용하여 증착한 다음, 상기 PR 패턴(상기 도 15c의 536)을 스트립하여, 상기 PR 패턴(상기 도 15c의 536)을 덮는 영역의 투명 도전성 물질(상기 도 15c의 537)을 리프트 오프하여, 남겨진 투명 도전성 물질(상기 도 15c의 537) 영역을 화소 전극(538), 게이트패드 전극(1318), 데이터패드 전극(1320)으로 각각 형성하는 단계이다.

<210> 상기 화소 전극(538)은 상기 제 1 내지 3 이격 영역(상기 도 15d, 25d, 26d의 IIa, IIb, IIc)에 남겨진 투명 도전성 물질(도 15d, 25d, 26d의 537) 패턴으로서, 제 1, 2 공통배선 패턴(520a, 520b) 내 위치하며, 공통 배선(520)을 기준으로 서로 이격되게 위치하는, 즉 상기 공통 배선(520)과 중첩되지 않는 제 1a, 1b 화소 전극 패턴(538a, 538aa)과, 공통 배선(520) 및 연결 배선(533)의 영역에서, 연결 배선(533) 영역 내 위치하는 제 2 공통전극 패턴(538b)으로 이루어진다.

<211> 그리고, 상기 게이트패드 전극(1318) 및 데이터패드 전극(1320)은 상기 제 1, 2 오픈부(XVIa, XVIb)에 남겨진 투명 도전성 물질(상기 도 15c, 25c, 26c의 537) 패턴에 각각 해당된다.

<212> 즉, 상기 제 1 오픈부(XVIa)와 대응된 영역에 게이트패드 전극(1318)이 형성되어 게이트 패드(1310)와 전기적으로 연결되고, 제 2 오픈부(XVIb)와 대응된 영역

에 데이터패드 전극(1320)이 형성되어 데이터 패드(1314)와 전기적으로 연결된다.

<213> -- 제 6 실시예 --

<214> 본 실시예는, 상기 제 5 실시예와 같은 리프트 오프 공정을 이용한 3 마스크 공정에 의한 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판 구조 및 제조 공정에 대한 실시예로서, 특히 공통 전극과 화소 전극이 동일한 마스크 공정(제 3 마스크 공정)에서 투명 도전성 물질로 이루어지는 것을 특징으로 한다.

<215> 도 16는 본 발명의 제 6 실시예에 따른 원형전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 도 14에 따른 어레이 기판 구조를 기본으로 하여 구별되는 구조적 특성을 중심으로 간략하게 설명한다.

<216> 도시한 바와 같이, 화소 전극(638)과 공통 전극(620)이 서로 엇갈리게 원형 전극 형상으로 배치됨에 있어서, 화소 전극(638) 및 공통 전극(620)은 서로 동일한 공정에서 동일한 물질로 이루어진 것을 특징으로 한다.

<217> 좀 더 상세히 설명하면, 상기 화소 전극(638) 및 공통 전극(620)은 리프트 오프 공정을 이용하여 투명 도전성 물질로 이루어지고, 공통 전극(620)과 공통 배선(614) 그리고, 화소 전극(638)과 연결 배선(633)과 직접 접촉 방식으로 연결됨에 따라, 상기 공통 전극(620)과 연결 배선(633)간의 단락 그리고, 화소 전극(638)과 공통 배선(614) 간의 단락을 방지하기 위해, 공통 전극(620)은 연결 배선(633)과 중첩되는 영역, 그리고 화소 전극(638)은 공통 배선(614)과 중첩되는 영역에서 패턴이 생략된 반원 형상으로 형성한다. 이때, 연결 배선(633)과 공통 배선(614)의 교차지점에 형성되는 제 2 화소전극 패턴(638b)은 연결 배선(633)과 대응되는 영역

에만 형성한다.

<218> 이하, 도 17a 내지 17d는 본 발명의 제 6 실시예에 따른 원형전극 구조 형성 제형 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 평면도로서, 상기 도 15a 내지 15d의 제조 공정과 구별되는 제조 공정을 중심으로 간략히 설명한다.

<219> 도 17a는, 기판(610) 상에 제 1 마스크 공정에 의해 게이트 배선(612) 및 공통 배선(614)을 서로 이격되게 형성하는 단계이고, 도 17b는, 상기 도 14b에서와 같이 회절 노광법을 이용한 제 2 마스크 공정에 의해, 데이터 배선(628), 소스 전극(630), 드레인 전극(632)과, 상기 데이터 배선(628), 소스 전극(630) 및 드레인 전극(632)과 대응되는 영역에 위치하며, 상기 소스 전극(630) 및 드레인 전극(632)과 대응된 영역에서 반도체층(626)을 가지는 반도체 물질층(625)과, 상기 소스 전극(630)과 드레인 전극(632) 사이 구간에 위치하는 채널(ch)을 형성하는 단계이다.

<220> 상기 게이트 전극(616), 반도체층(626), 소스 전극(630), 드레인 전극(632)은 박막트랜지스터(T)를 이룬다.

<221> 도 17c는, 상기 화소 영역(P)에 리프트 오프 공정용 PR 패턴(636)을 형성하는 단계이고, 도 17d는 상기 PR 패턴(636)을 일종의 마스크로 이용하여 노출된 게이트 절연물질을 제거하여, 게이트 절연막만으로 덮여있는 기판 영역을 노출시키는 단계와, 상기 PR 패턴(636)을 덮는 기판 전면에 투명 도전성 물질을 이용하여 증착하는 단계를 포함한다.

<222>           상기 PR 패턴(636) 간 이격 영역(III)은 후속 공정에서 공통 전극과 화소 전극이 형성되는 영역에 해당된다.

<223>           도 17d는, 상기 PR 패턴(상기 도 17c의 635)을 스트립하여, 상기 PR 패턴(상기 도 17c의 635)을 덮는 영역의 투명 도전성 물질(상기 도 17c의 637)을 리프트 오프하여, 남겨진 투명 도전성 물질(상기 도 17c의 637) 영역을 화소 전극(638) 및 공통 전극(642)으로 형성하는 단계이다.

<224>           이 단계에서는, 상기 화소 전극(638)과 연결 배선(633)그리고, 공통 전극(620)과 공통 배선(614)은 연결되는 방식으로 전기적으로 연결되므로, 하나의 마스크 공정에서 리프트 오프 방식으로 두 전극을 형성하는 공정의 특성 상, 화소 전극(638)은 공통 배선(614)간의 중첩되는 영역에서, 공통 전극(620)은 연결 배선(633)과 중첩되는 영역에서 패턴이 생략된 반원 형상을 가지는 것을 특징으로 한다. 이때, 상기 연결 배선(633)과 공통 배선(614)간 교차 영역에 위치하는 제 2 화소 전극 패턴(638b)은 연결 배선(633)과 대응된 영역에만 형성한다.

<225>           이하, 도 18은 본 발명에 따른 횡전계형 액정표시장치의 전극 배치 구조에 따른 그레이(gray)별 액정 방향 및 휘도특성 시뮬레이션(simulation)에 대한 도면으로서, 노멀리블랙모드(normally black mode)를 기준으로 측정한 결과에 해당된다.

<226>           도시한 바와 같이, 전압 무인가(0 V)에서 전압의 세기를 점점 높이면서(2 V

-> 4 V -> 6 V -> 8 V -> 10 V) 그레이 특성을 살펴본 것으로, 액정의 방향자(VI I)가 어느 방향에서 보든지 동일하기 때문에 시야각이 향상되었음을 알 수 있다.

<227> -- 제 7 실시예 --

<228> 도 19는본 발명의 제 7 실시예에 따른 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 하나의 픽셀부를 기준으로 도시하였다.

<229> 본 실시예에는, 횡전계를 형성하는 두 전극이 원형 구조를 가지는 횡전계형 액정표시장치를 제공함에 있어서, 도시한 바와 같이 화소 영역이 정사각형 구조를 가지는 RGBW(적(Red), 녹(Green), 청(Blue), 백(White)) 4색 서브픽셀( $P_R$ ,  $P_G$ ,  $P_B$ ,  $P_W$ )이 하나의 픽셀( $P_P$ )을 이루는 구조에 적용하고자 한다.

<230> 일반적으로, RGB 3색 서브픽셀이 하나의 픽셀을 이루는 구조의 횡전계형 액정표시장치용 화소 영역은 직사각형 구조를 이루기 때문에, 개구율을 고려하여 원형 전극을 형성하기 위해서는 화소 영역을 정사각형 구조로 형성하는 것이 바람직하다.

<231> 그러나, 본 발명에 따른 정사각형 픽셀부를 가지는 액정표시장치는 RGBW 픽셀 구조로 한정하지는 않는다.

<232> 또한, 도면으로 제시하지 않았지만, 정사각형 픽셀 구조는 달팽이꼴 전극 구조 횡전계형 액정표시장치에도 적용될 수 있다.

<233> -- 제 8 실시예 --

<234> 본 실시예는, 상기 제 1 실시예에 따른 횡전계형 액정표시장치의 스토리지 구조와 전단 스토리지 구조를 혼합한 구조에 대한 실시예이다.

<235> 도 20은 본 발명의 제 8 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 제 1 실시예 구조를 기본 구조로 하여, 스토리지 캐패시터 형성부를 중심으로 도시하였다.

<236> 도시한 바와 같이, 제 1 공통전극 패턴(820a)과 제 1 방향으로 중첩되게 제 1, 2 인출배선 패턴(840a, 840b)을 형성함에 있어서, 제 1 인출배선 패턴(840a)은 박막트랜지스터(T)와 연결되는 패턴이고, 제 2 인출배선 패턴(840b)은 전단 게이트 배선(812)과 인접한 패턴이라고 정의했을 때, 제 2 인출배선 패턴(840b)은 전단 게이트 배선(812)과 일부 중첩되는 영역까지 확장형성되어 있는 것을 특징으로 한다.

<237> 즉, 본 실시예에서는 공통 방식과 전단 게이트 방식을 혼합한 방식으로 스토리지 캐패시터( $C_{ST}$ ;  $C_{ST1} + C_{ST2}$ )를 구성함에 따라, 스토리지 캐패시터( $C_{ST}$ ) 효율을 효과적으로 높일 수 있다.

<238> -- 제 9 실시예 --

<239> 본 실시예는, 상기 제 2 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치의 스토리지 구조와 전단 스토리지 구조를 혼합한 구조에 대한 실시예이다.

<240> 도 21은 본 발명의 제 9 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 제 2 실시예 구조를 기본 구조로



하여, 스토리지 캐패시터 형성부를 중심으로 도시하였다.

<241> 도시한 바와 같이, 제 1 공통전극 패턴(920a)과 제 1 방향으로 중첩되게 인출 배선(940)을 형성함에 있어서, 인출 배선(940)은 전단 게이트 배선(912)과 일부 중첩되는 영역까지 확장형성되어 있는 것을 특징으로 한다.

<242> 즉, 본 실시예에서는 공통 방식과 전단 게이트 방식을 혼합한 방식으로 스토리지 캐패시터( $C_{ST}$  ;  $C_{ST1} + C_{ST2}$ )를 구성함에 따라, 스토리지 캐패시터( $C_{ST}$ ) 효율을 효과적으로 높일 수 있다.

<243> -- 제 10 실시예 --

<244> 도 22는 본 발명의 제 10 실시예에 따른 횡전계형 액정표시장치용 컬러필터 기판에 대한 평면도로서, 블랙매트릭스 형성부를 중심으로 도시하였으며, 원형퍼전극 구조 및 달팽이꼴 전극 구조에 모두 적용가능한 실시예이다.

<245> 도시한 바와 같이, 기판(1050) 상에 화소 영역(P)을 오픈부(1052)로 가지는 블랙매트릭스(1054)가 형성되어 있고, 블랙매트릭스(1054)를 컬러별 경계부로 하여 오픈부(1052)에 컬러필터층(1056)이 형성되어 있다.

<246> 도면에서, 영역 "Xa"는 본 발명에 따른 원형 전극의 형성 영역이고, 영역 "Xb"는 일반적인 사각형 전극의 형성 영역이라고 가정했을 때, 블랙매트릭스(554)와 "Xa", "Xb" 각각의 중첩영역을 "Xc", "Xd"라고 했을 때, "Xd"가 "Xc"보다 큰 면적을 가짐을 알 수 있다.

<247> 즉, 상, 하부 기관의 합착 미스얼라인 발생시 원형 전극 구조가 사각형 전극 구조보다 중첩 영역이 작으므로 미스얼라인에 의한 개구율 손실을 최소화할 수 있고 합착 마진을 증가시킬 수 있는 효과를 가진다.

<248> 따라서, 제품별 휘도 차이 또한 줄일 수 있다.

<249> -- 제 11 실시예 --

<250> 본 실시예는, 상기 제 1 실시예에 따른 원형 전극 구조를 기본으로 하되, 개구율 향상을 위해 외곽 공통전극 패턴의 오픈부 형상 및 외곽 공통전극 패턴과 중첩되는 인출배선의 패턴을 변경하는 실시예이다.

<251> 도 23은 본 발명의 제 11 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기관에 대한 평면도로서, 상기 제 1 실시예와 중복되는 부분에 대한 설명은 간략히 한다.

<252> 도시한 바와 같이, 화소 영역(P)의 테두리부를 두르는 영역에 위치하고 모서리부를 가지는 오픈부(1118)를 가지는 제 1 공통전극 패턴(1120a)이 형성되어 있고, 제 1 공통전극 패턴(1120a)과 중첩되게 제 1 방향으로 제 1, 2 인출배선 패턴(1140a, 1140b)이 형성되어 있다.

<253> 상기 제 1 공통전극 패턴(1120a)은 제 1 방향으로 화소 영역(P)의 중앙부를 경유하는 공통 배선(1114)과 연결되어 있고, 상기 제 1, 2 인출배선 패턴(1140a, 1140b)에서는 화소 영역(P)의 중앙부에서 공통 배선(1114)과 교차되게 연결 배선

(1141)이 분기되어 있으며, 공통 배선(1114)에서는 제 2 공통전극 패턴(1120b)이 분기되어 있고, 연결 배선(1141)에서는 제 2 공통전극 패턴(1120b)의 바깥 테두리를 두르는 위치에 제 1 화소전극 패턴(1138a)이 형성되어 있고, 제 2 공통전극 패턴(1120b)이 내부 영역에 원형 형상의 제 2 화소전극 패턴(1138b)이 각각 형성되어 있다.

<254>           본 실시예에서는, 제 1 공통전극 패턴(1120a)의 오픈부(1118)에 화소 영역(P)과 대응된 모서리부를 형성함에 따라, 상기 제 1 내지 제 4 실시예에서 오픈부(1118)를 원형으로 형성함에 따라 희생되었던 개구 영역(XI)을 확보할 수 있는 특징을 가진다.

<255>           또한, 횡전계형 액정표시장치는 노멀리블랙모드이기 때문에 블랙휘도에서의 문제가 없고 전압 구동시 오픈부의 모서리부분을 개구 영역으로 이용하여 휘도특성을 높일 수 있다.

<256>           도면으로 상세하지 않았지만, 본 실시예에 따른 모서리부를 가지는 오픈부 구조는 달팽이꼴 전극 구조 횡전계형 액정표시장치에 적용할 수도 있다.

<257>           -- 제 12 실시예 --

<258>           본 실시예는, 4 마스크 구조에 있어서 저유전율 보호층 사용시, 공통 전극을 데이터 배선과 중첩되는 구조로 형성하는 고개구율 구조에 대한 실시예이다.

<259>           도 24는 본 발명의 제 12 실시예에 따른 원형 전극 구조 횡전계형 액정표시

장치용 어레이 기판에 대한 평면도로서, 상기 도 9의 어레이 기판 구조를 기본 구조로 하여 변형된 부분을 중심으로 설명한다.

<260> 도시한 바와 같이, 화소 영역(P) 단위로 공통 전극(1220) 및 화소 전극(1238)이 서로 일정간격을 유지하며 원형 전극 구조로 서로 엇갈리게 형성되어 있는 구조에서, 상기 공통 전극(1220)은 화소 영역(P)에서 원형의 오픈부(1218)를 가지며, 도면에서 제 1 방향으로 이웃하는 화소 영역(P)간에 일체형 패턴을 가지는 제 1 공통전극 패턴(1220a)과, 오픈부(1218) 내에서 원형의 형상의 제 2 공통전극 패턴(1220b)으로 이루어지고, 상기 화소 전극(1238)은 제 1 공통전극 패턴(1220a)과 제 2 공통전극 패턴(1220b) 사이 구간에 위치하는 제 1 화소전극 패턴(1238a)과, 제 2 공통전극 패턴(1220b)의 내부 영역 즉, 드레인 전극(1232)과 공통 배선(1214)의 교차지점에 형성된 제 2 화소전극 패턴(1238b)으로 이루어진다.

<261> 상기 화소 전극(1238)과 공통 전극(1220)은 동일한 공정에서 동일한 물질로 이루어진 것을 특징으로 한다.

<262> 그리고, 상기 데이터 배선(1228)과 공통 전극(1220) 사이 구간에는 저유전율 특성을 가지며 제 1, 2 콘택홀(1244, 1246)을 가지는 보호층이 개재되어 있고, 공통 전극(1220)과 공통 배선(1214)은 제 1 콘택홀을 통해 화소 전극(1238)과 드레인 전극(1232)은 제 2 콘택홀을 통해 연결되어 있다.

<263> 본 실시예에서는, 저유전율 보호층에 의해 금속물질 간의 전기적 간섭을 낮출 수 있기 때문에, 공통 전극(1220)의 형성 면적을 확장함에 따라 개구율을 향상시킬 수 있다.

<264> 본 실시예에 따른 구조는, 본 발명에서 제시한 3 마스크에 의해 공통 전극과 화소 전극을 동일한 공정에서 동일한 물질로 형성하는 공정을 일 예로 하여, 고개 구울 구조를 위해 공통 전극과 데이터 배선 사이에 저유전율 보호층을 개재한 4 마스크 구조에 대해서 제시한 것을 특징으로 한다.

<265> 전술한 저유전율 보호층을 이루는 물질로는, 한 예로 BCB를 들 수 있다.

<266> 도면으로 제시하지 않았지만, 본 실시예에서 제시한 일반적인 원형 전극 구조외에 달팽이꼴 전극 구조에도 적용할 수 있다.

<267> 그러나, 본 발명의 상기 실시예로 한정되지 않으며, 본 발명의 취지에 벗어나지 않는 범위 내에서 다양하게 변경하여 실시할 수 있다.

### 【발명의 효과】

<268> 이와 같이, 본 발명에 따른 횡전계형 액정표시장치에 의하면, 개구 영역이 원형 구조를 가질 수 있는 패턴 구조로 공통 전극 및 화소 전극을 형성함에 따라, 어느 방향에서나 액정의 방향자가 동일하므로 특정 각에서의 색반전없이 콘트라스트를 향상시킬 수 있고, 시야각 특성을 높일 수 있다. 그리고, 블랙매트릭스와의 중첩 영역이 감소되어 합착 미스얼라인시에 제품별 발생할 수 있는 휘도차이를 최소화할 수 있는 장점을 가질 수 있다.

## 【특허청구범위】

### 【청구항 1】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기된 공통 전극과;

상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판.

### 【청구항 2】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기된 공통 전극과;

상기 드레인 전극에서 연장형성된 연결 배선과;

상기 연결 배선과 연결되며, 상기 공통 전극과 일정간격 이격되어 상기 공통 전극과 서로 엇갈리게 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판.

### 【청구항 3】

제 1 항에 있어서,

상기 공통 전극은, 상기 게이트 배선 및 데이터 배선의 교차 영역으로 정의되는 화소 영역의 테두리를 두르는 영역에 위치하며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 내에서 원형띠 패턴구조를 가지는 제 2 공통전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

### 【청구항 4】

제 1 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이 구간에서 원형띠 패턴

구조를 가지는 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내부에 원형 패턴 구조를 가지는 제 2 화소전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 5】

제 1 항 또는 제 3 항 중 어느 하나의 항에 있어서,

상기 인출 배선은, 상기 제 1 공통전극 패턴과 제 1 방향으로 중첩되게 위치하는 제 1, 2 인출배선 패턴과, 상기 제 1, 2 인출배선 패턴과 화소 전극을 연결시키는 연결 배선을 포함하며, 상기 제 1 인출배선 패턴이 실질적으로 상기 박막트랜지스터와 연결되는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 6】

제 5 항에 있어서,

상기 제 1 공통전극 패턴과, 상기 제 1, 2 인출배선 패턴 간의 중첩 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 7】

제 5 항 또는 제 6 항 중 어느 하나의 항에 있어서,



상기 제 2 인출배선 패턴은, 전단 게이트 배선과 중첩되게 확장형성되어 있고, 상기 제 2 인출배선 패턴과 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태에서 또 하나의 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 8】

제 2 항에 있어서,

상기 화소 전극은, 감광성 물질패턴을 덮는 영역에 전극 물질을 전면 형성한 다음, 상기 감광성 물질패턴의 스트립(strip) 공정을 통해 남겨진 전극 물질 영역을 패턴으로 이용하는 리프트 오프(lift off) 공정을 통해 형성되는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 9】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과;

상기 드레인 전극에서 연장형성된 연결 배선과;

상기 공통 배선과 연결되고, 상기 연결 배선과는 이격되게 위치하며, 투명 도전성 물질로 이루어진 공통 전극과;

상기 연결 배선과 연결되고, 상기 공통 배선과는 이격되게 위치하며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성되고, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 10】

제 9 항에 있어서,

상기 연결 배선에는, 전단 게이트 배선 일부와 중첩되는 스토리지 전극이 연장형성되며, 상기 전단 게이트 배선과 중첩되는 스토리지 전극 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 11】

제 9 항에 있어서,

상기 공통 전극 및 화소 전극은, 감광성 물질패턴을 덮는 영역에 전극 물질을 전면 형성한 다음, 상기 감광성 물질패턴의 스트립 공정을 통해 남겨진 전극 물

질 영역을 패턴으로 이용하는 리프트 오프 공정을 통해 형성되는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 12】

제 9 항에 있어서,

상기 공통 전극은, 상기 화소 영역의 테두리를 두르는 영역에 형성되며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 내에서 원형띠 패턴구조를 가지는 제 2 공통전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 13】

제 12 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에 위치하며 원형띠 형상의 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내에 원형 형상의 제 2 화소전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 14】

제 13 항에 있어서,

상기 제 2 화소전극 패턴은, 상기 공통 배선과 연결 배선의 교차 영역에 위치하는 횡전계형 액정표시장치용 어레이 기판.

# 【청구항 15】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 드레인 전극에서 연장형성된 연결 배선과;

상기 박막트랜지스터를 덮는 기판 전면에 형성되며, 상기 공통 배선을 일부 노출시키는 제 1 콘택홀과, 상기 연결 배선을 일부 노출시키는 제 2 콘택홀을 가지는 보호층과;

상기 보호층 상부에 제 1 방향으로 이웃하는 화소 영역 간에 일체형 패턴으로 연장형성되고, 상기 제 1 콘택홀을 통해 공통 배선과 연결되며, 투명 도전성 물질로 이루어지고, 화소 영역별로 오픈부를 가지는 공통 전극과;

상기 보호층 상부에서, 상기 제 2 콘택홀을 통해 연결 배선과 연결되며, 상기 공통 전극의 오픈부 내에서 상기 공통 전극과 일정간격 이격되게 형성되며, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 공

통 전극 및 화소 전극은 리프트 오프 공정을 통해 형성되는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 16】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기된 공통 전극과;

상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 달팽이꼴 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 17】

제 16 항에 있어서,

상기 공통 전극은, 화소 영역의 테두리부를 두르는 영역에 위치하며, 오픈부

를 가지는 제 1 공통전극 패턴과, 상기 오픈부 내에서 달팽이꼴 구조를 가지는 제 2 공통전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 18】

제 16 항 또는 제 17 항 중 어느 하나의 항에 있어서,  
상기 인출 배선은, 상기 제 1 공통전극 패턴과 중첩되는 영역에 형성되며,  
상기 인출 배선과 제 1 공통전극 패턴 간의 중첩 영역은 절연체가 개재된 상태에서  
스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 19】

제 16 항 또는 제 17 항 중 어느 하나의 항에 있어서,  
상기 화소 전극은, 상기 제 2 공통전극 패턴을 감싸는 달팽이꼴 구조로 이루어지는  
횡전계형 액정표시장치용 어레이 기판.

#### 【청구항 20】

제 18 항에 있어서,  
상기 인출 배선은, 전단 게이트 배선의 일부와 중첩되는 영역까지 연장형성  
되며, 상기 인출 배선과 전단 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태  
에서 또 하나의 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이  
기판.

**【청구항 21】**

제 1 항 또는 제 16 항 중 어느 하나의 항에 있어서,

상기 반도체층은, 상기 게이트 전극을 덮는 위치에서 아일랜드 패턴(island pattern) 구조로 형성되는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 22】**

제 1 항, 제 2 항, 제 9 항, 제 15 항, 제 16 항 중 어느 하나의 항에 있어서,  
서,

상기 반도체층은, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응된 패턴 구조를 가지는 반도체 물질층에 포함되는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 23】**

제 3 항, 제 12 항, 제 17 항 중 어느 하나의 항에 있어서,

상기 오픈부는 원형 오픈부인 횡전계형 액정표시장치용 어레이 기판.

**【청구항 24】**

제 3 항, 제 12 항, 제 17 항 중 어느 하나의 항에 있어서,

상기 오픈부는 모서리부를 가지는 횡전계형 액정표시장치용 어레이 기판.

**【청구항 25】**

제 1 항, 제 2 항, 제 9 항, 제 15 항, 제 16 항 중 어느 하나의 항에 있어서,  
서,

상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역  
은 정사각형 영역인 횡전계형 액정표시장치용 어레이 기판.

**【청구항 26】**

제 25 항에 있어서,

상기 화소 영역 단위로, 적(red), 녹(green), 청(blue), 백(white) 서브픽셀  
(sub-pixel)을 각각 이루고, 네 개의 서브픽셀은 하나의 픽셀을 이루는 횡전계형  
액정표시장치용 어레이 기판.

**【청구항 27】**

기판 상에, 감광성 물질을 이용한 노광, 현상, 식각 공정에 의해 패터닝하는  
사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는  
게이트 배선과, 화면을 구현하는 최소 단위인 화소 영역의 테두리부를 두르며 오픈  
부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에 원형띠 구조의 제 2 공



통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 제 4 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과의 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지는 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

## 【청구항 28】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는

게이트 배선과, 화소 영역의 테두리부를 두르며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 원형띠 구조의 제 2 공통전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 제 3 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과의 이격구간으로 정의되는 개구 영역의 주 영역을 원형띠 구조로 구성하는 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 29】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 제 1 오픈부를 가지는 제 1 공통전극 패턴과, 상기 제 1 오픈부 영역 내에서 원형띠 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 보호층을 형성하는 단계와;

상기 보호층을 덮는 영역에 위치하며, 상기 제 1, 2 공통전극 패턴 간의 이격 영역 및 상기 공통 배선과 연결 배선간의 교차 영역을 제 1 오픈부로 가지는 PR(photo resist) 패턴을 형성하는 단계와;

상기 PR 패턴을 마스크로 이용하여 상기 제 1 오픈부를 통해 노출된 보호층을 식각하는 단계와;

상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프(lift off)하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 보호층이 식각되어 노출된 상기 연결배선과 연결되며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조의 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 30】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 공통 배선을 서로 이격되게 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 배선을 덮는 기판 전면에 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스

전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 화소 영역에서 연결 배선과 이격되게 위치하는 제 1 오픈부와, 상기 공통 배선과 이격되게 위치하는 제 2 오픈부를 가지며, 상기 제 1, 2 오픈부 간의 이격구간은 원형띠 형상을 가지는 PR 패턴을 형성하는 단계와;

상기 PR 패턴을 일종의 마스크로 이용하여, 노출된 영역 상의 게이트 절연막 물질을 제거하여, 해당 영역의 공통 배선을 노출시키는 단계와;

상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 공통 배선과 연결되게 위치하는 공통 전극과, 상기 연결 배선과 연결되게 위치하는 화소 전극을 형성하는 단계

를 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형미 형상으로 구성하는 패턴 구조를 가지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 31】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 4 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과

연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 달팽이꼴 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 32】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화면을 구현하는 최소 단위인 화소 영역의 테두리부를 두르며 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를

이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 3 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 덮는 이물질 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 33】

제 27 항, 제 28 항, 제 29 항, 제 31 항, 제 32 항 중 어느 하나의 항에 있어서,

상기 제 1 공통전극 패턴이 가지는 오픈부는 원형의 오픈부인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 34】

제 27 항, 제 28 항, 제 29 항, 제 31 항, 제 32 항 중 어느 하나의 항에 있어서,

상기 제 1 공통전극 패턴이 가지는 오픈부는 모서리부를 가지는 횡전계형 액



정표시장치용 어레이 기판의 제조 방법.

### 【청구항 35】

제 27 항, 제 28 항 중 어느 하나의 항에 있어서,

상기 화소 전극을 형성하는 단계에서, 상기 인출 배선은, 서로 대향되게 위치하는 제 1, 2 인출 배선과, 상기 제 1, 2 인출 배선과 화소 전극을 연결시키는 연결 배선을 포함하며, 상기 제 1 인출 배선이 실질적으로 박막트랜지스터와 연결되는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 36】

제 35 항에 있어서,

상기 제 1, 2 인출 배선과 제 1 공통전극 패턴 간의 중첩 영역은, 절연체가 개재된 상태에서 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 37】

제 35 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에 위치하는 원형 패턴 구조의 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내에 위치하는 원형 패턴 구조의 제 2 화소전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기

판의 제조 방법.

### 【청구항 38】

제 29 항에 있어서,

상기 화소 전극을 형성하는 단계에서는, 상기 제 1, 2 공통전극 패턴 사이에 위치하는 원형띠 패턴 구조의 제 1 화소전극 패턴과, 상기 제 2 공통전극 패턴 내에 위치하는 원형 패턴 구조의 제 2 화소전극 패턴을 서로 독립적인 패턴으로 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 39】

제 30 항에 있어서,

상기 공통 전극은, 화소 영역의 테두리부를 두르는 위치에서 오픈부를 가지는 제 1 공통전극 패턴 그룹과, 상기 오픈부 내에서 반원형띠 패턴 구조의 제 2 공통전극 패턴 그룹으로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

### 【청구항 40】

제 39 항에 있어서,

상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 그룹 사이에 구간에 위치하

는 반원형패 패턴 구조의 제 1 화소전극 패턴 그룹과, 상기 제 2 공통전극 패턴 그룹 내 위치하는 제 2 화소 전극 패턴으로 이루어지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 41】

제 39 항 또는 제 40 항 중 어느 하나의 항에 있어서,  
상기 제 1, 2 공통전극 패턴 그룹, 제 1 화소전극 패턴 그룹 내 패턴 들은 각각 독립적인 패턴인 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 42】

제 28 항, 제 29 항, 제 30 항, 제 32 항 중 어느 하나의 항에 있어서,  
상기 제 2 마스크 공정에서는, 회절 노광법이 이용되는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 43】

제 31 항 또는 제 32 항 중 어느 하나의 항에 있어서,  
상기 제 1 공통전극 패턴과 인출 배선이 중첩되는 영역은 절연체가 개재된 상태에서 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【청구항 44】**

제 31 항 또는 제 32 항 중 어느 하나의 항에 있어서,  
 상기 화소 전극은, 상기 제 2 공통전극 패턴을 감싸는 달팽이꼴 패턴 구조를  
 가지는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【청구항 45】**

제 27 항 내지 제 32 항 중 어느 하나의 항에 있어서,  
 상기 화소 영역은 정사각형 영역으로 형성하는 횡전계형 액정표시장치용 어  
 레이 기판의 제조 방법.

**【청구항 46】**

제 29 항 또는 제 30 항 중 어느 하나의 항에 있어서,  
 상기 스토리지 전극과 게이트 배선 간의 중첩 영역은 절연체가 개재된 상태  
 에서 스토리지 캐패시터를 이루는 횡전계형 액정표시장치용 어레이 기판의 제조 방  
 법.

**【청구항 47】**

상기 제 27 항 내지 제 32 항 중 어느 하나의 항에 따른 제조 방법에 의해  
 형성된 어레이 기판인 제 1 기판과;

상기 제 1 기판과 대향되게 배치된 제 2 기판과;

상기 제 1, 2 기판 사이에 개재된 액정층  
을 포함하는 횡전계형 액정표시장치.

**【청구항 48】**

제 47 항에 있어서,

상기 제 1 기판에는 횡전계를 형성하며, 원형띠 구조 또는 달팽이꼴 구조 중 어느 한 개구 영역을 구성하는 패턴 구조의 공통 전극 및 화소 전극이 형성되어 있고, 상기 액정층은 상기 횡전계에 의해 구동되는 횡전계형 액정표시장치.

**【청구항 49】**

제 48 항에 있어서,

상기 액정의 방향자가 어느 방향에서나 동일한 횡전계형 액정표시장치.

**【청구항 50】**

제 47 항에 있어서,

상기 제 2 기판에는, 적, 녹, 청 컬러필터층 및 화소 영역을 오픈부로 가지는 블랙매트릭스를 추가로 포함하는 횡전계형 액정표시장치.

**【청구항 51】**

제 2 항에 있어서,

상기 연결 배선과 화소 전극 사이에는, 상기 화소 전극과 대응되는 영역을 가지며, 상기 연결 배선을 노출시키는 제 1 오픈부를 가지는 절연층이 개재되는 것을 특징으로 하는 횡전계형 액정표시장치.

**【청구항 52】**

제 2 항에 있어서,

상기 게이트 배선 및 데이터 배선의 일 끝단에는 각각 게이트 패드 및 데이터 패드가 형성되고, 상기 게이트 패드 및 데이터 패드와 연결되며, 상기 화소 전극과 동일 물질로 이루어진 게이트패드 전극 및 데이터패드 전극이 각각 형성되는 것을 특징으로 하는 횡전계형 액정표시장치.

**【청구항 53】**

제 51 항 또는 제 52 항 중 어느 하나의 항에 있어서,

상기 게이트 및 데이터 패드와 상기 게이트패드 및 데이터패드 전극 사이에 상기 절연층이 개재되며, 상기 절연층은 상기 게이트 및 데이터 패드를 일부 노출시키는 제 2, 3 오픈부를 더 포함하고, 상기 게이트패드 및 데이터패드 전극은 상기 제 2, 3 오픈부 내에 위치하는 것을 특징으로 하는 횡전계형 액정표시장치.

**【청구항 54】**

제 2 항에 있어서,

상기 공통 전극은 제 1, 2 공통전극 패턴으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭구조로 분리된 제 1, 2 화소전극 패턴과, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 영역 내 위치하는 제 3 화소전극 패턴으로 이루어지는 것을 특징으로 하는 횡전계형 액정표시장치.

**【청구항 55】**

제 29 항에 있어서,

상기 게이트 배선을 형성하는 단계에서 상기 게이트 배선의 일 끝단에 위치하는 게이트 패드를 형성하는 단계와, 상기 데이터 배선을 형성하는 단계에서 상기 데이터 배선의 일 끝단에 위치하는 데이터 패드를 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

**【청구항 56】**

제 55 항에 있어서,

상기 PR 패턴을 형성하는 단계에서, 상기 PR 패턴에 상기 게이트 패드 및 데이터 패드의 일부 영역을 각각 노출시키는 제 2, 3 오픈부를 형성하는 단계를 더

포함하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 57】

제 56 항에 있어서,

상기 보호층을 식각하는 단계에서, 상기 제 2, 3 오픈부를 통해 노출된 보호층 물질을 식각하는 단계를 더 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 58】

제 57 항에 있어서,

상기 보호층을 식각하는 단계에서는, 상기 제 2 오픈부에서 상기 게이트 절연막을 포함하여 보호층을 식각하여, 상기 게이트 패드를 일부 노출시키고, 상기 제 3 오픈부에서는 상기 보호층을 식각하여, 상기 데이터 패드를 일부 노출시키는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

#### 【청구항 59】

제 58 항에 있어서,

상기 화소 전극을 형성하는 단계에서는, 상기 제 2 오픈부 내에 남겨진 상기



투명 도전성 물질 패턴을 상기 게이트 패드와 연결되는 게이트패드 전극으로 형성하고, 상기 제 3 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 데이터패드와 연결되는 데이터패드 전극으로 형성하는 것을 특징으로 하는 횡전계형 액정 표시장치용 어레이 기판의 제조 방법.

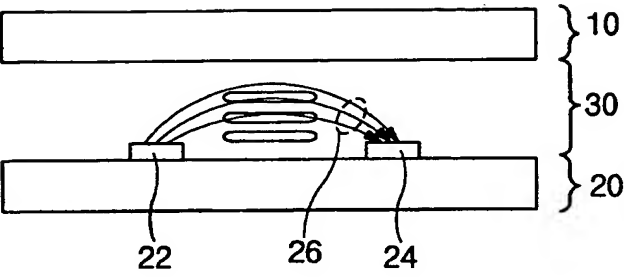
#### 【청구항 60】

제 29 항에 있어서,

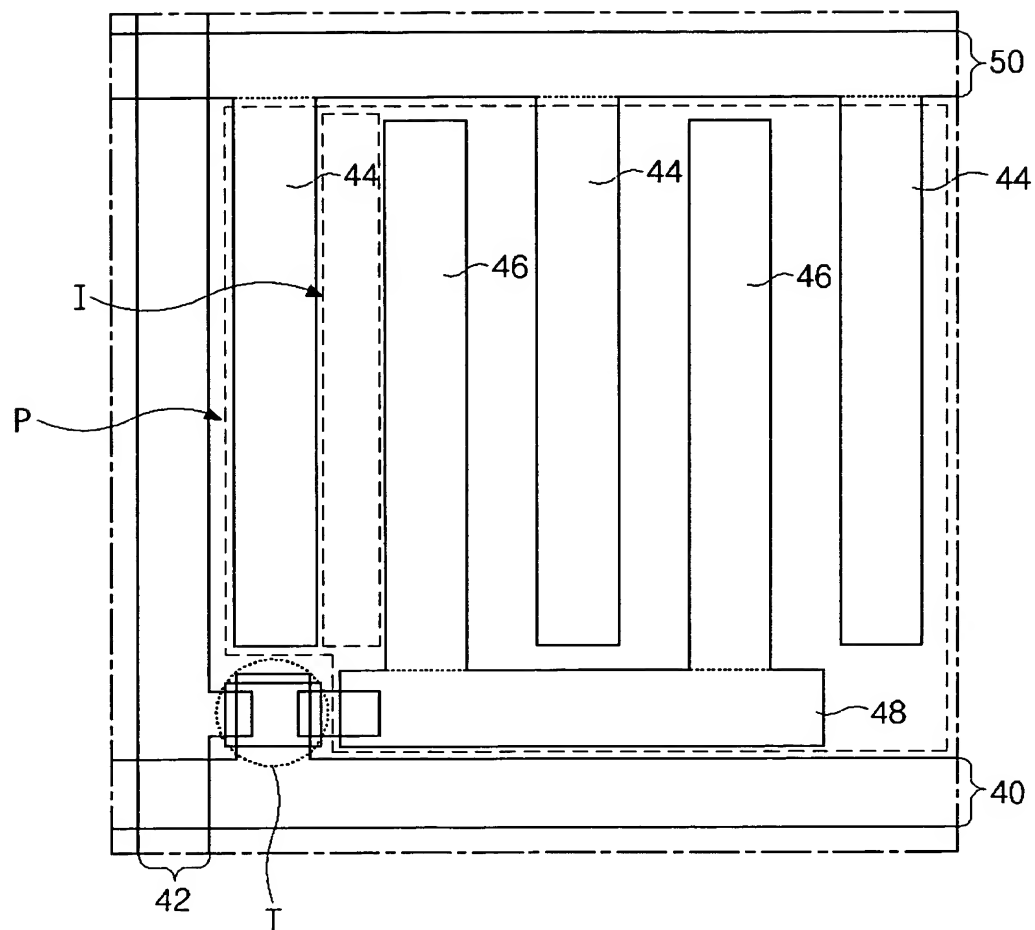
상기 제 1 오픈부는, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭 구조로 분리되어 위치하는 제 1, 2 서브 오픈부와, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 내 위치하는 제 1 서브 오픈부로 이루어지고, 상기 제 1 내지 3 서브오픈부와 대응된 위치에 제 1 내지 3 화소전극 패턴으로 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【도면】

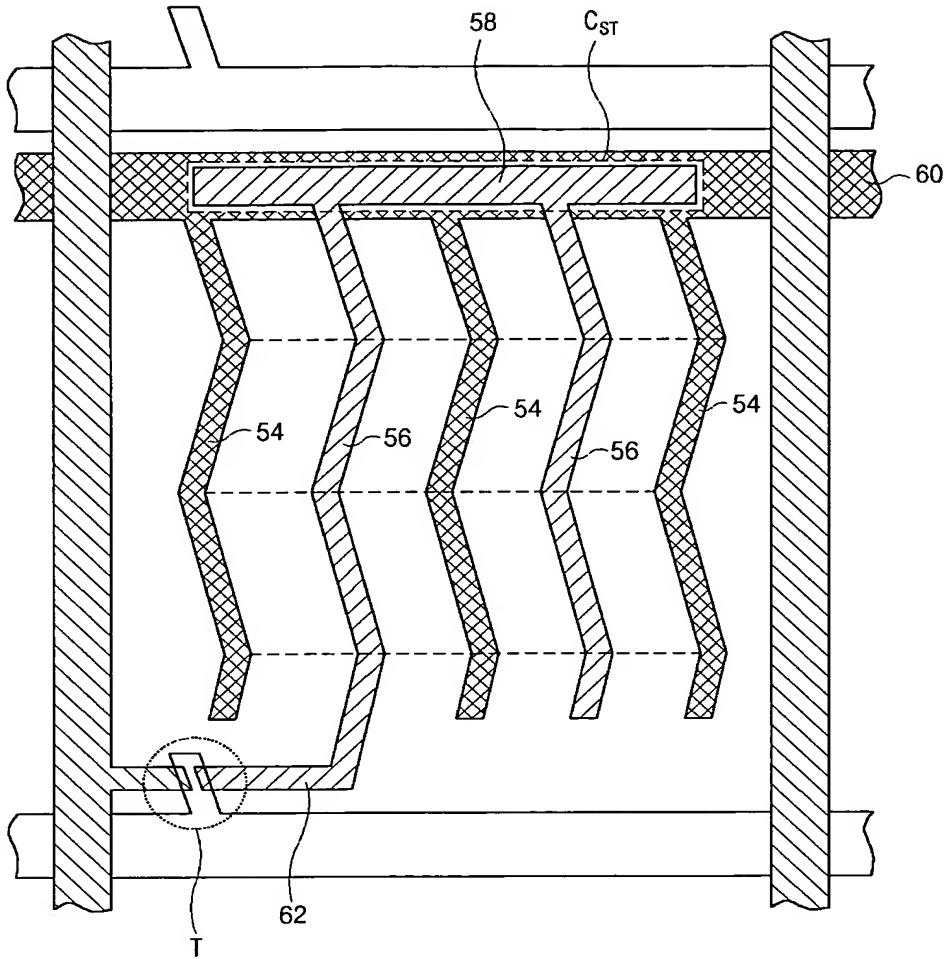
【도 1】



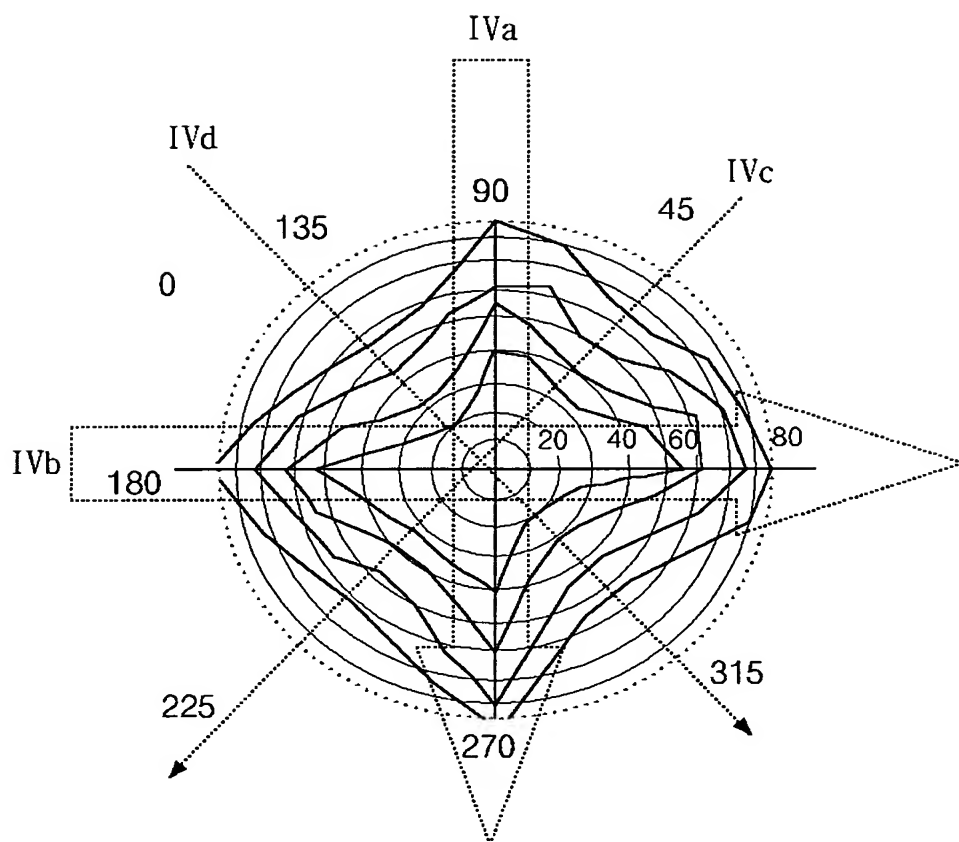
【도 2】



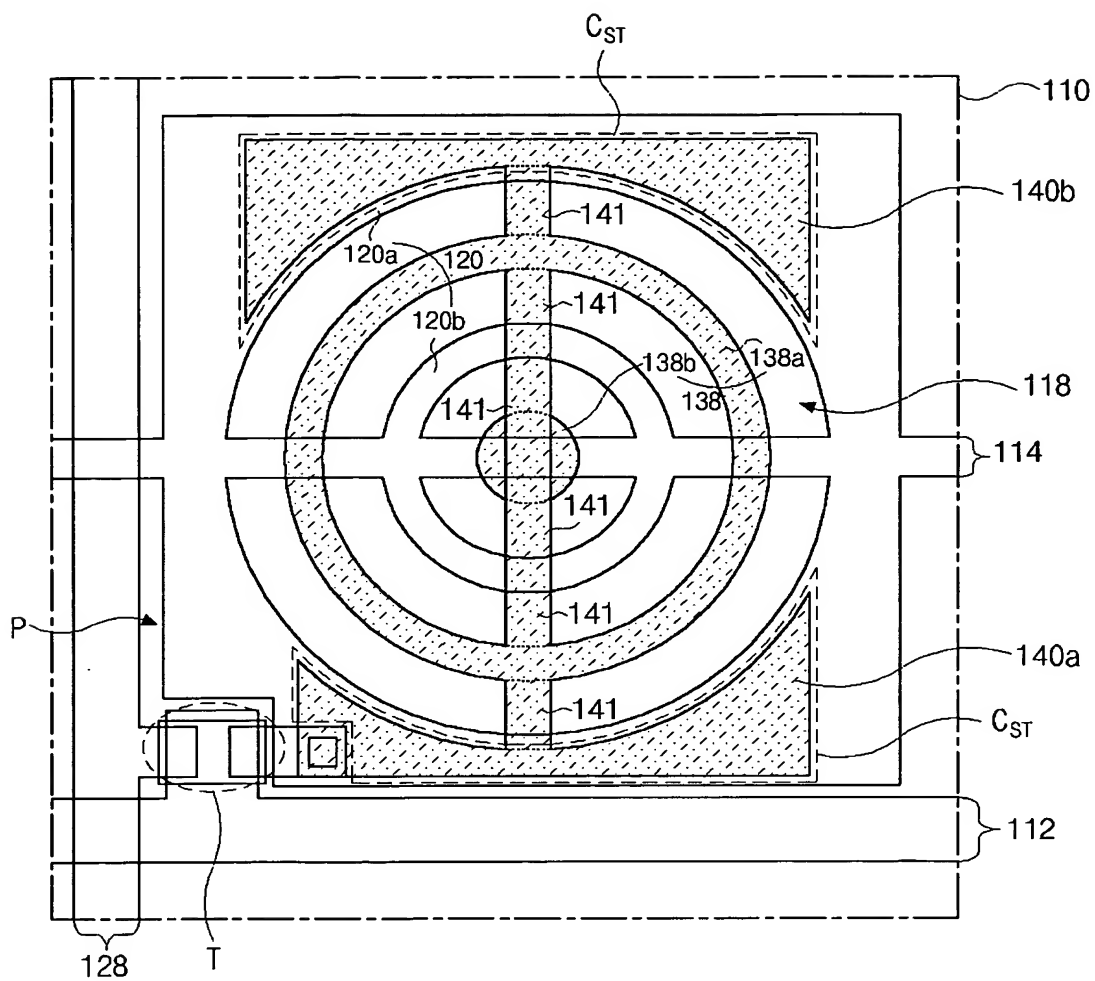
【도 3】



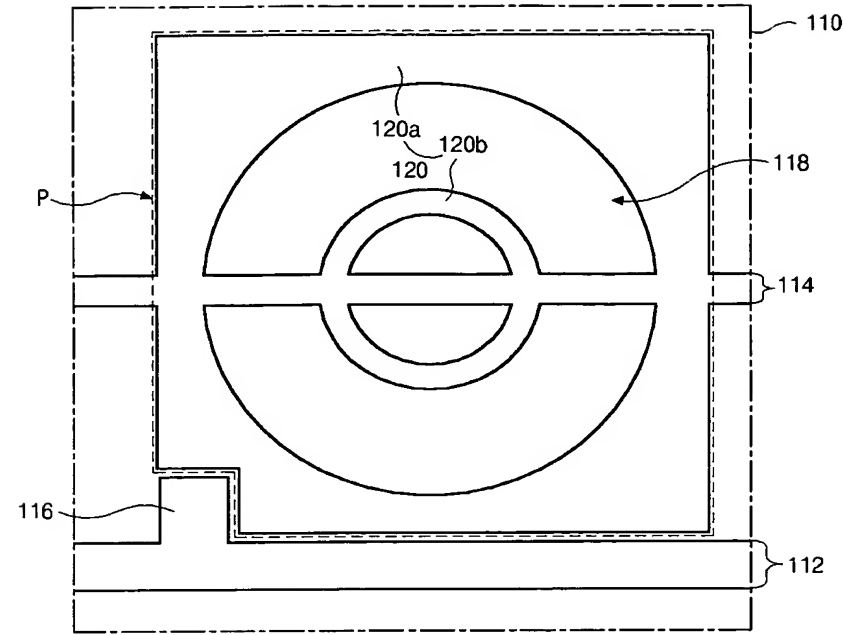
【도 4】



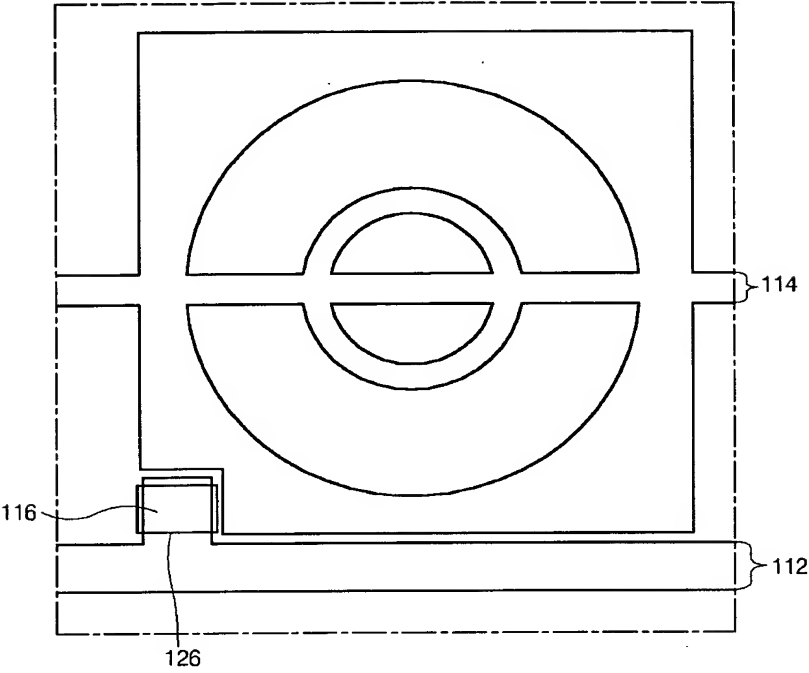
【도 5】



【図 6a】

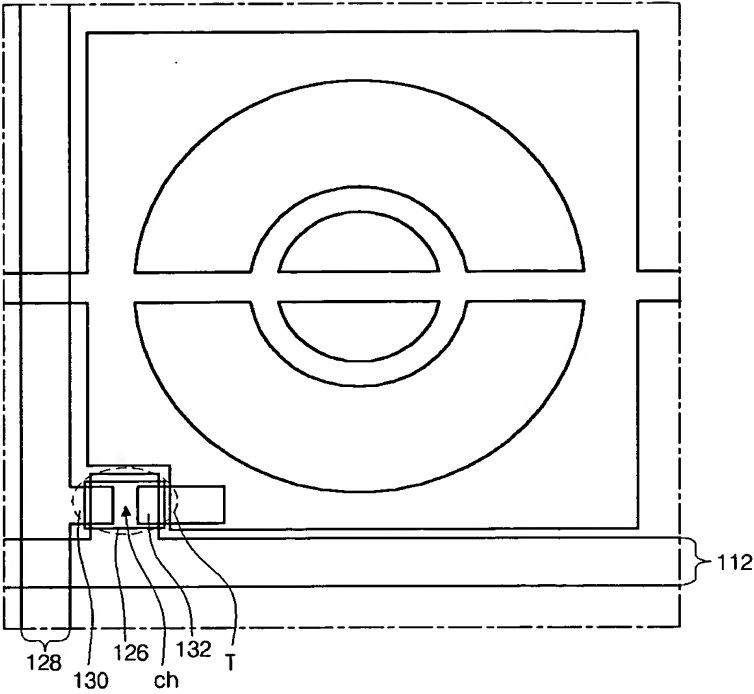


【도 6b】

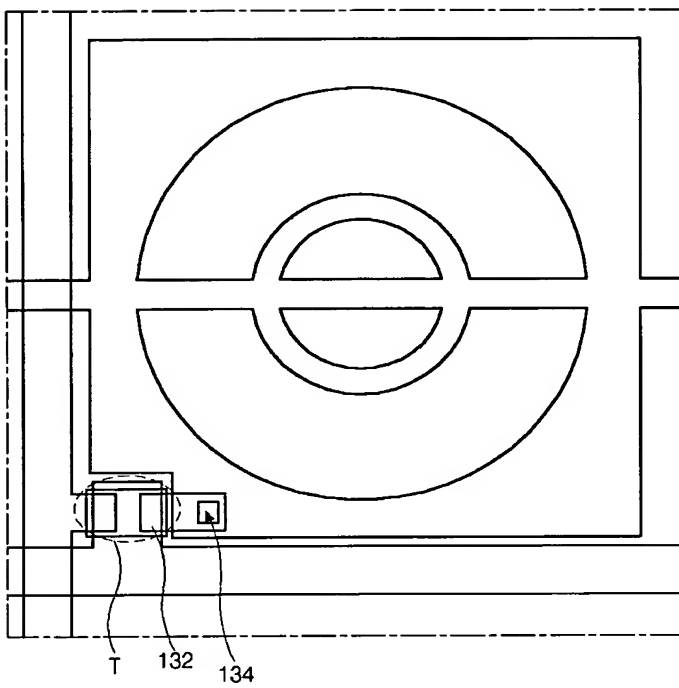




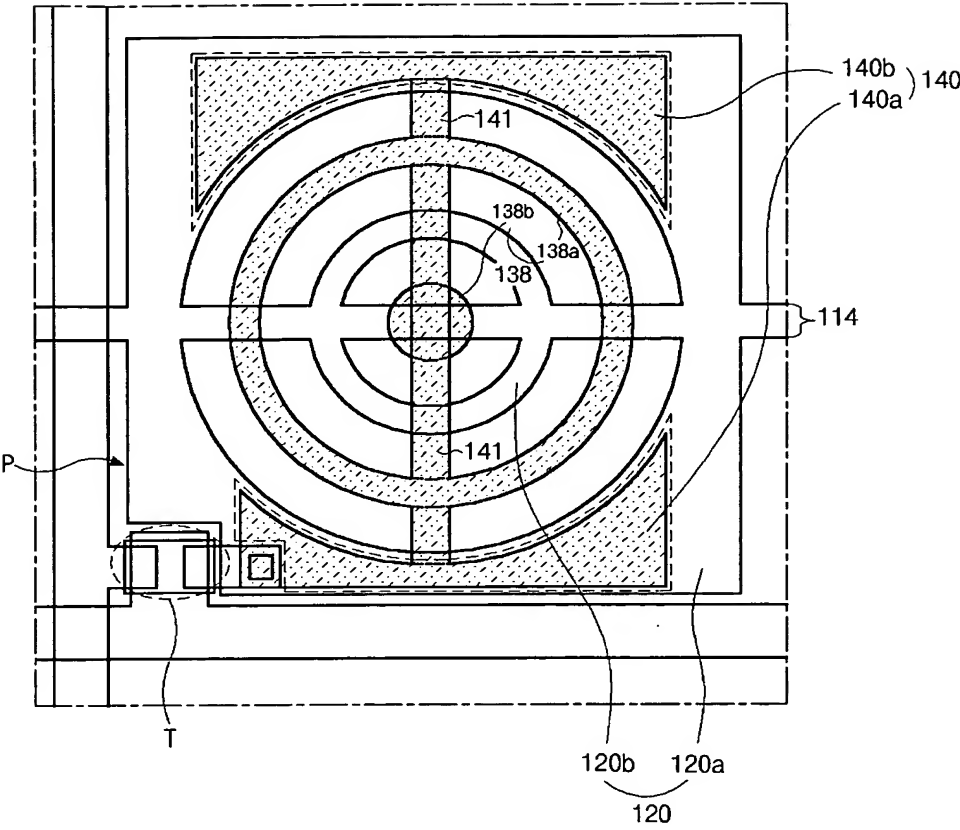
【도 6c】



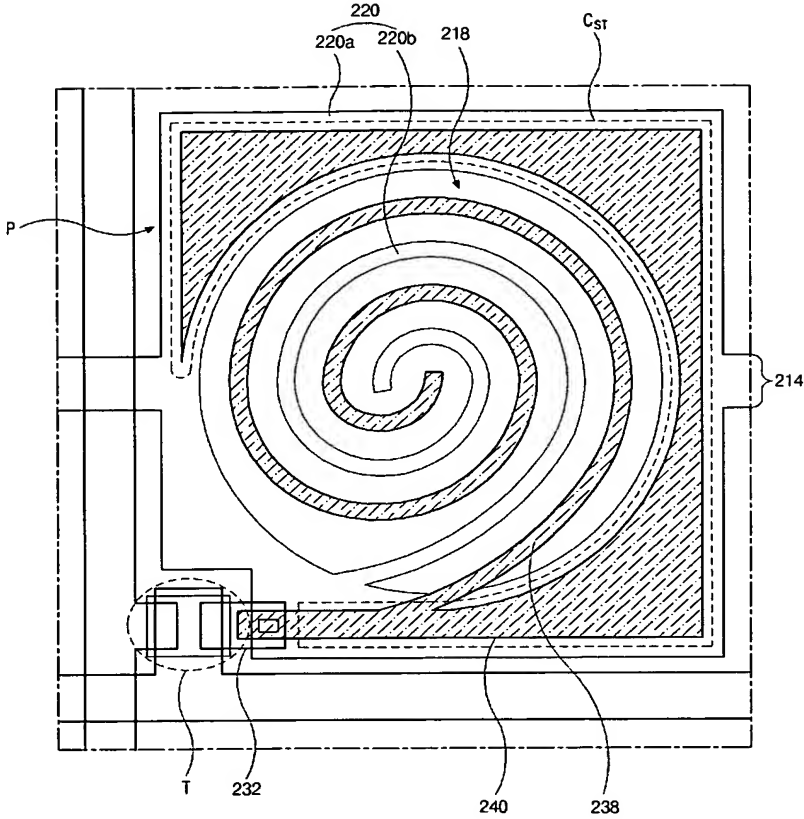
【도 6d】



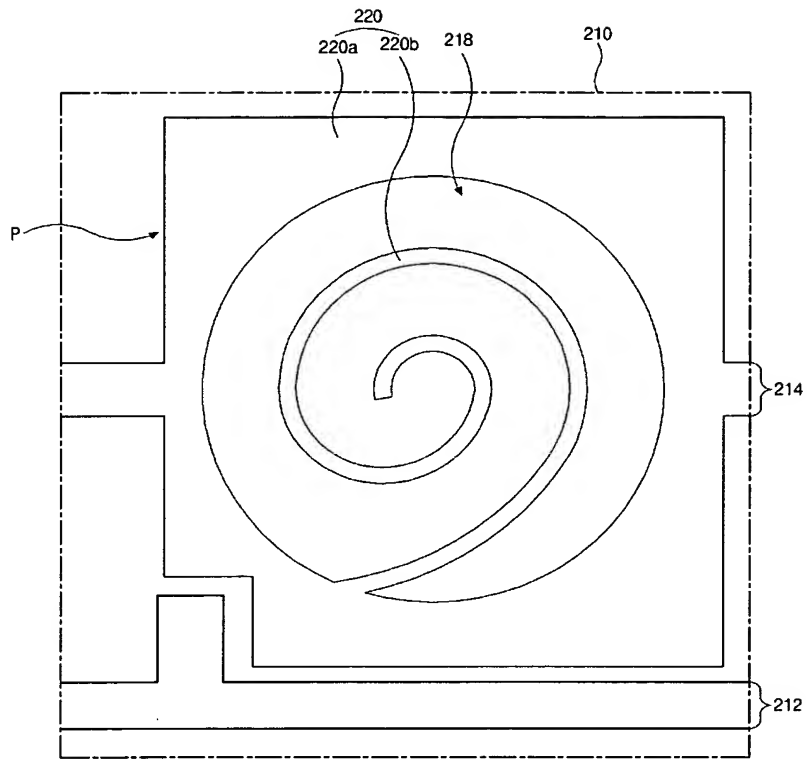
【図 6e】



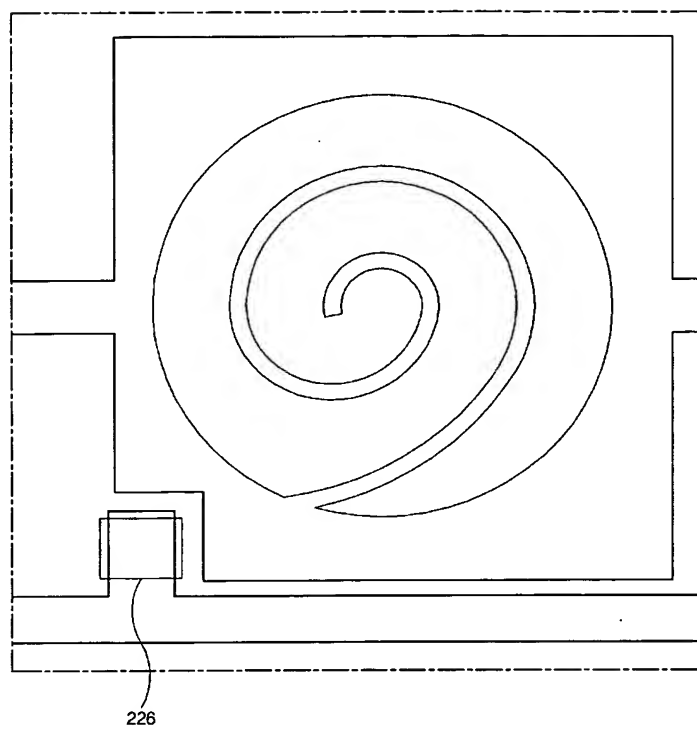
【도 7】



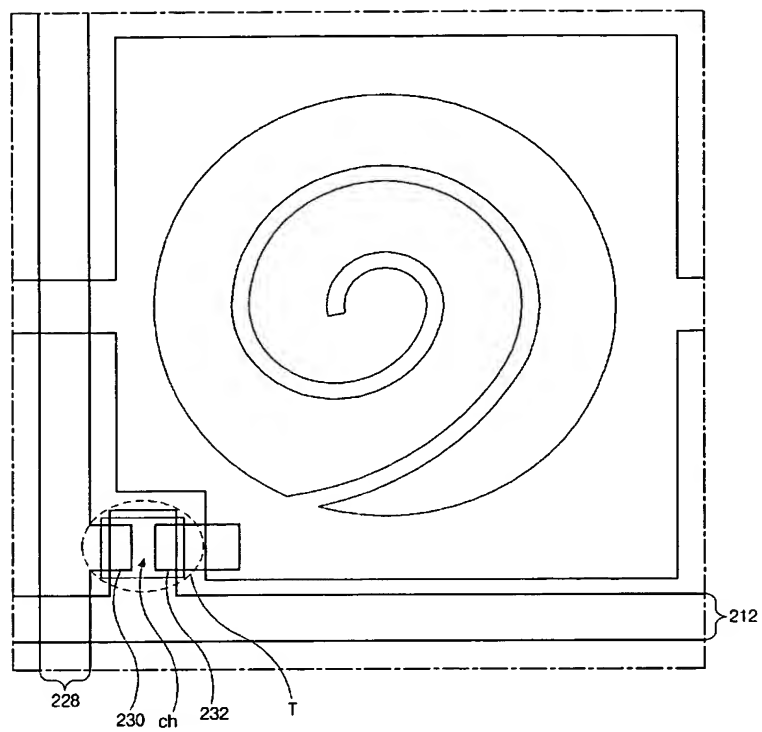
【도 8a】



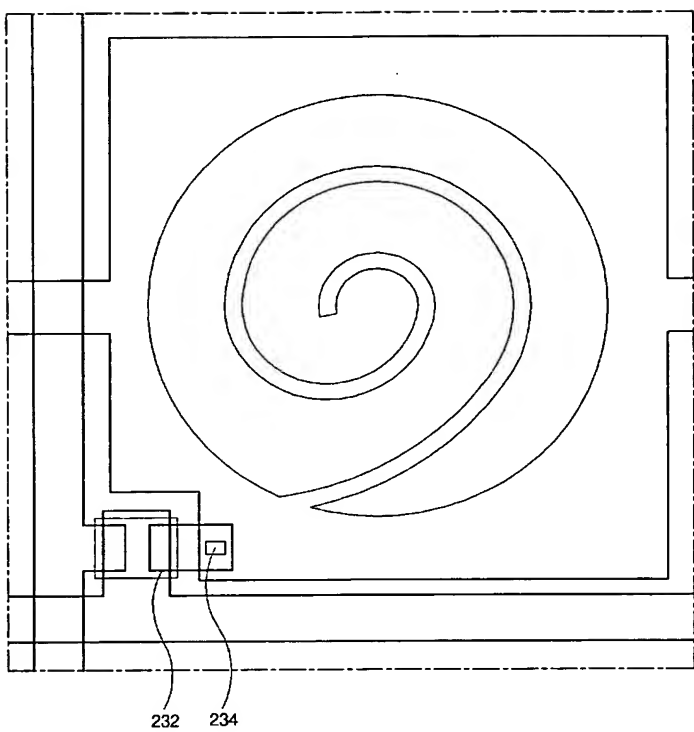
【도 8b】



【도 8c】

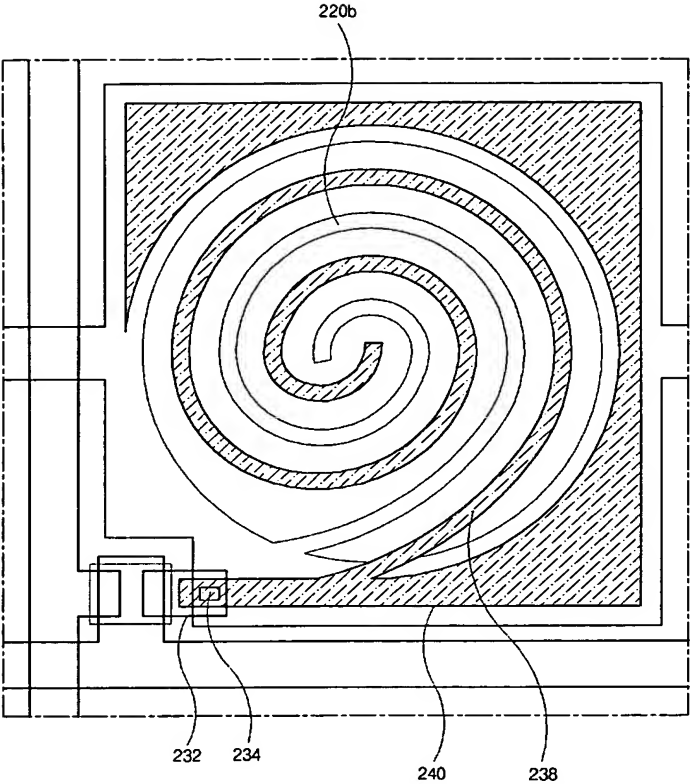


【도 8d】

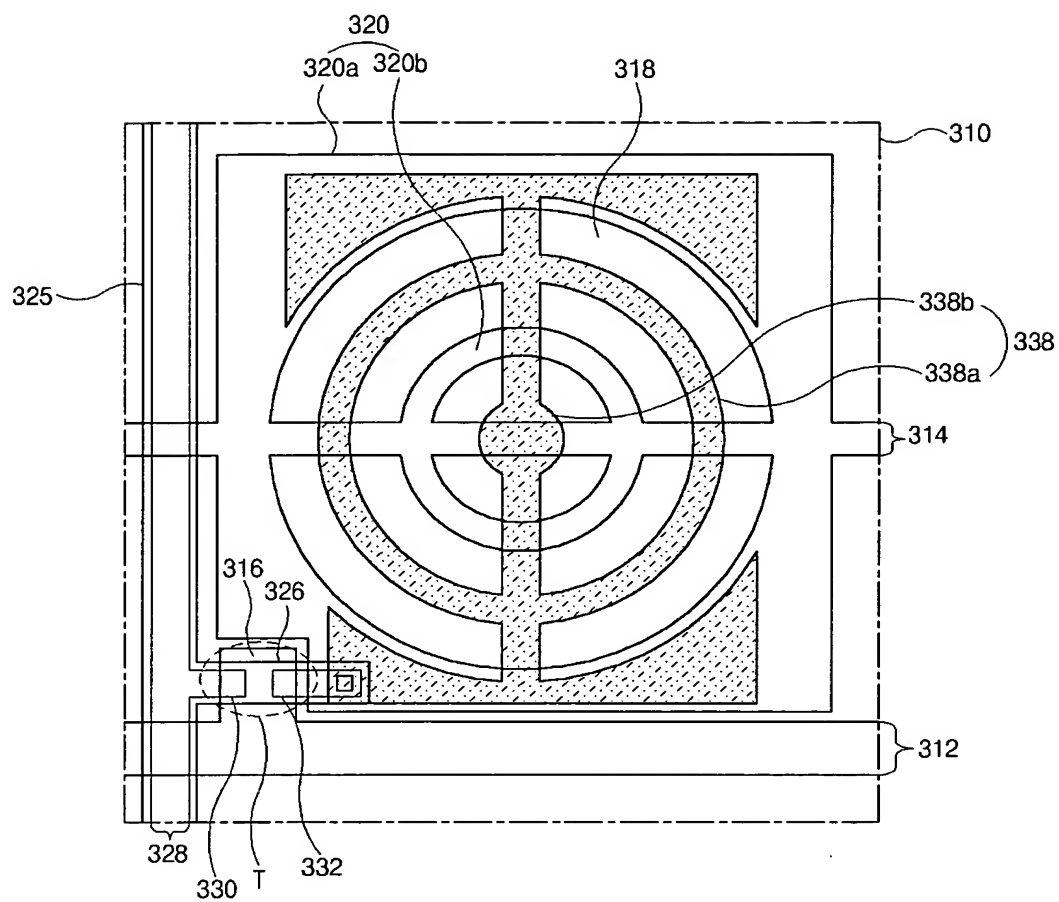




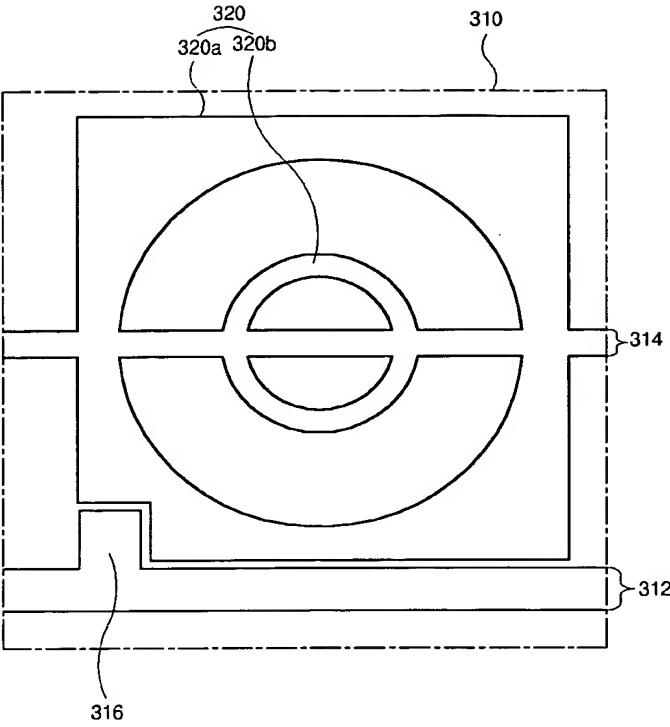
【도 8e】



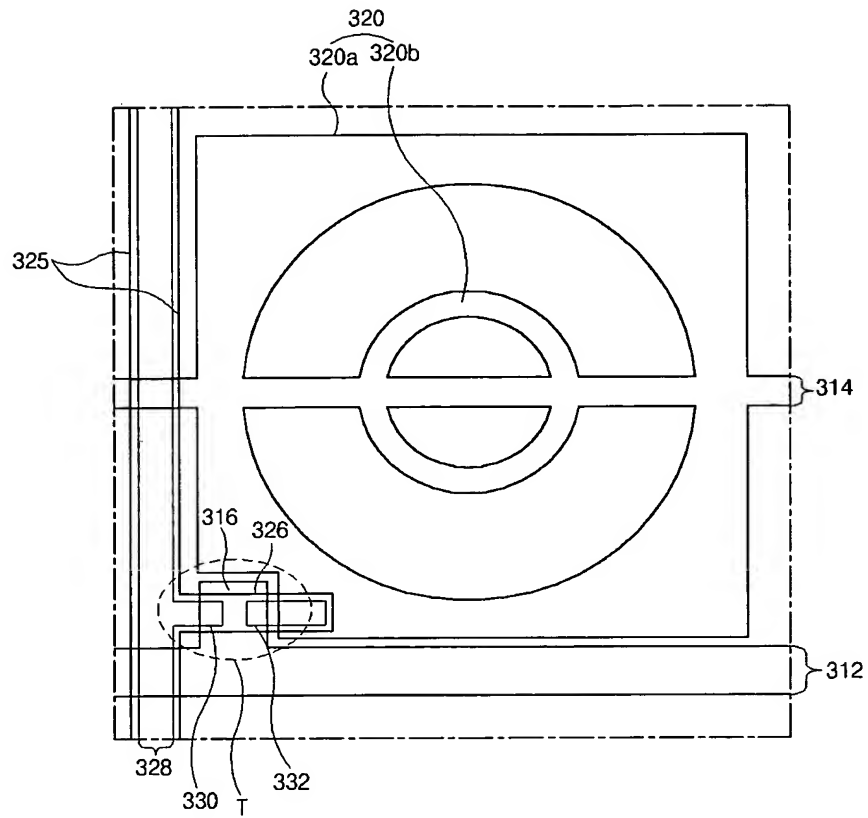
【도 9】



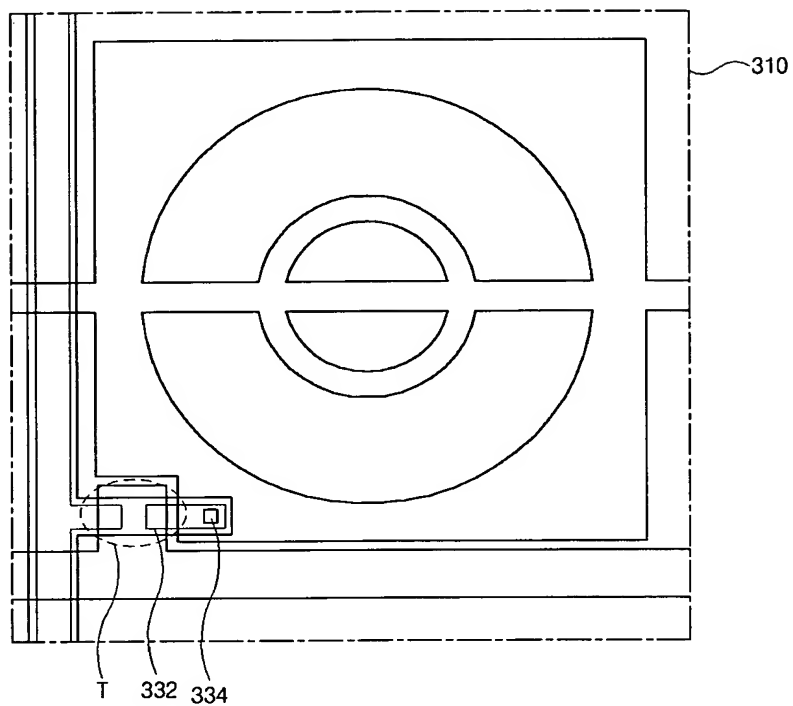
【도 10a】



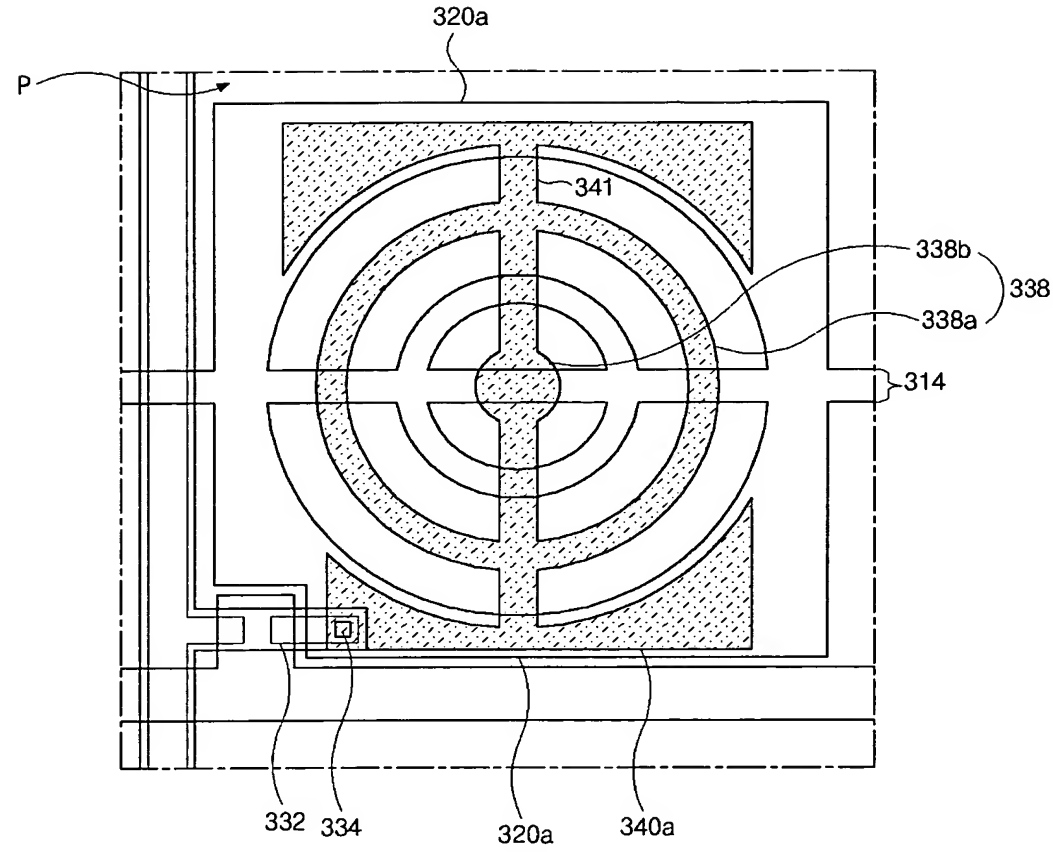
【도 10b】



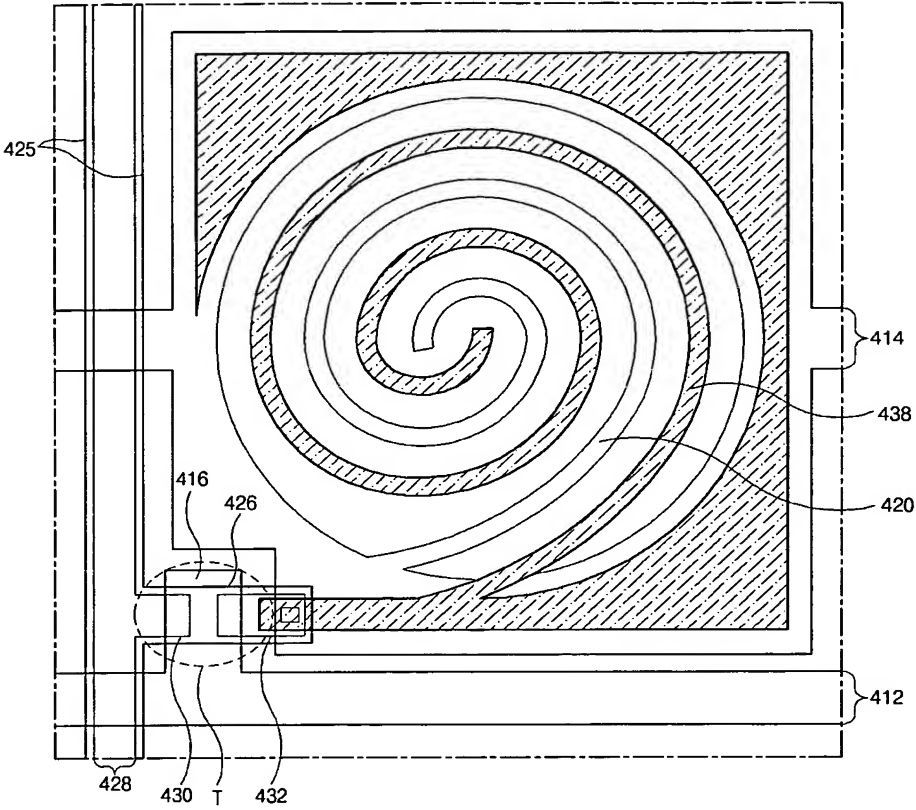
【도 10c】



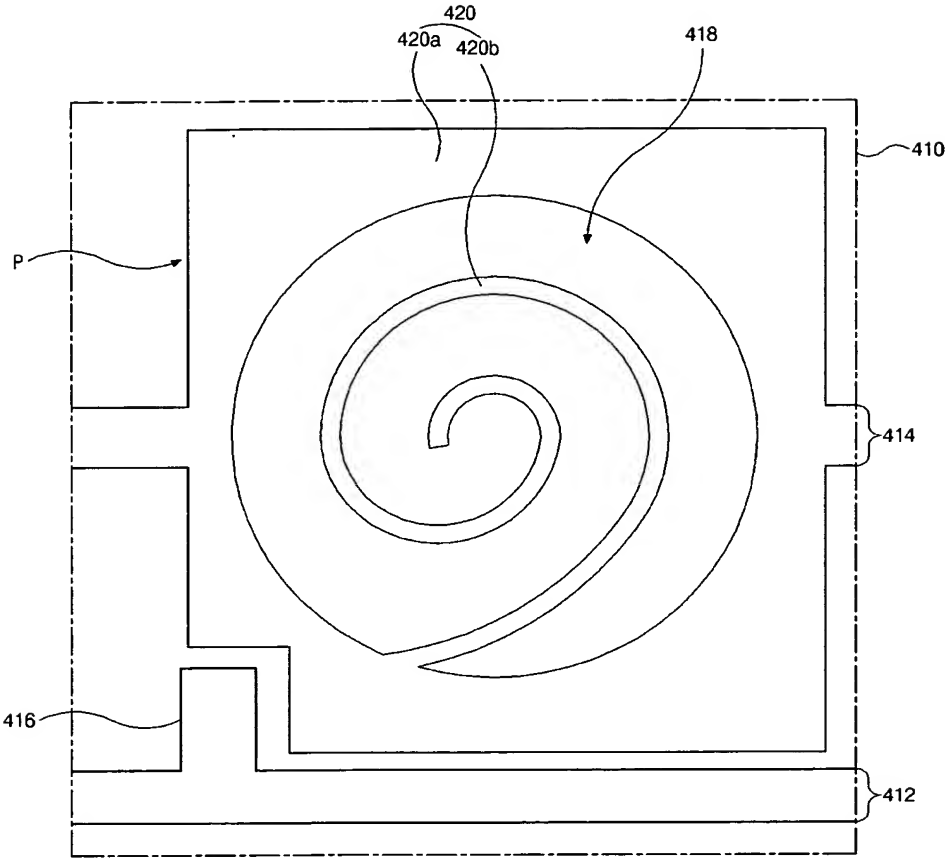
【도 10d】



【도 11】

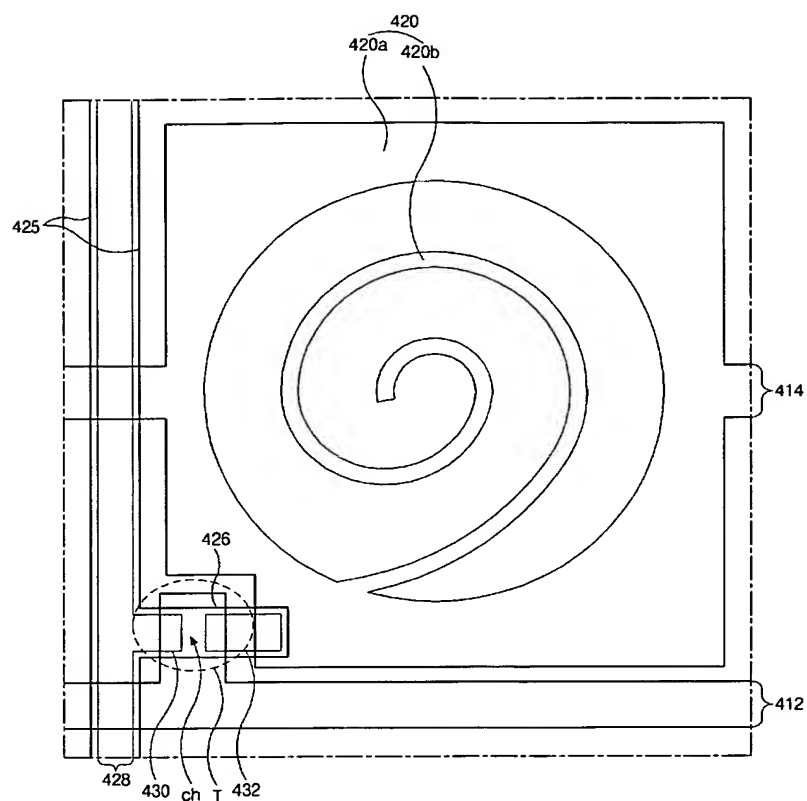


【도 12a】

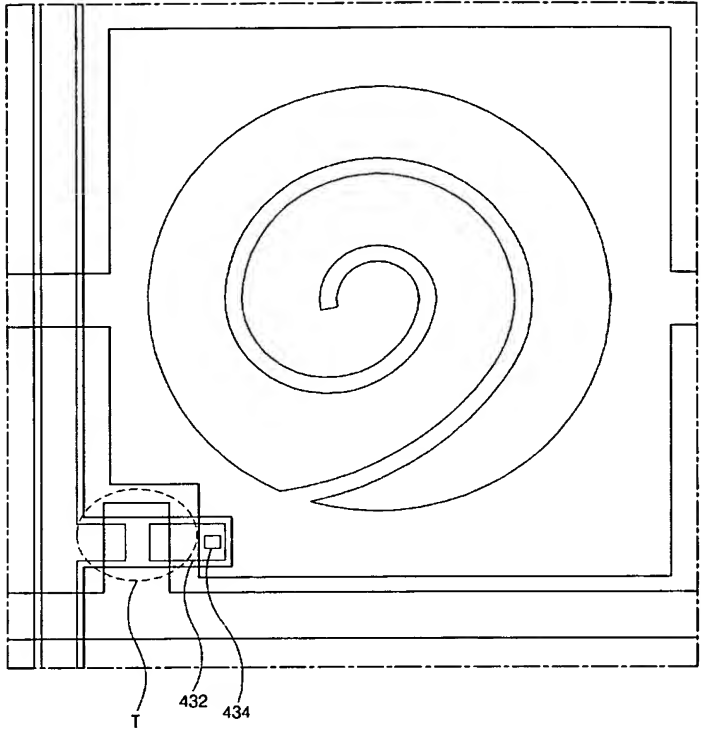




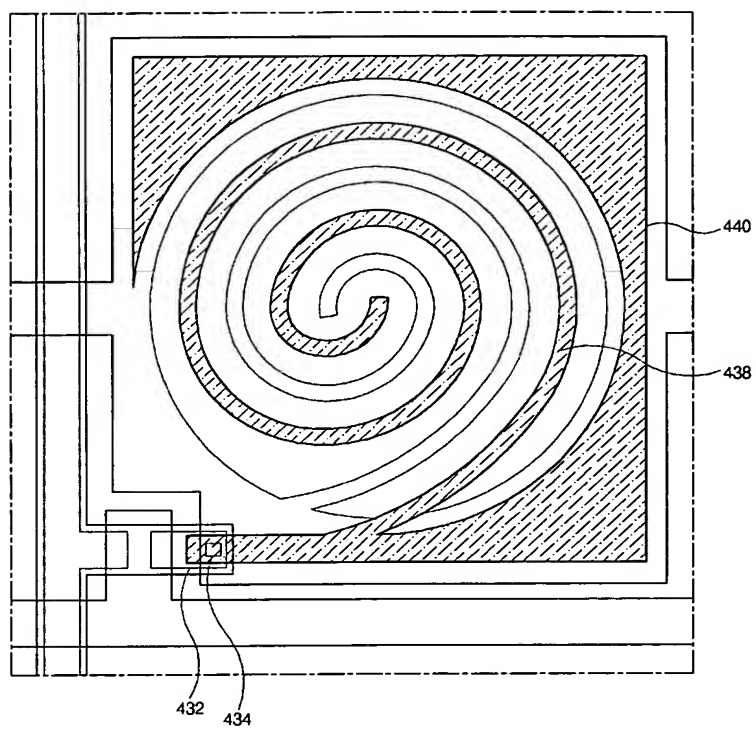
【도 12b】



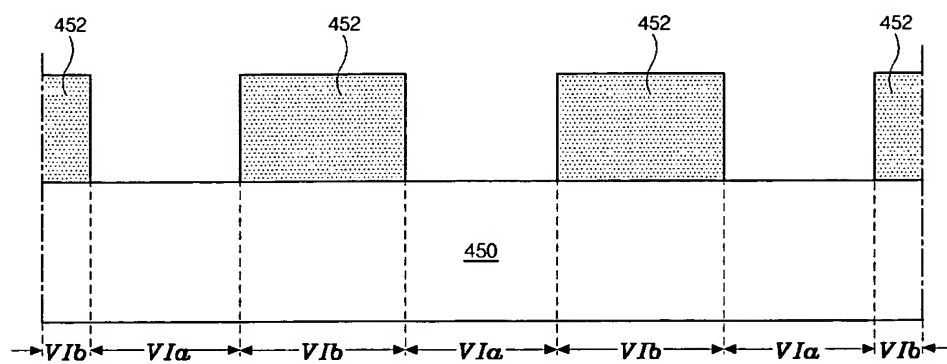
【도 12c】



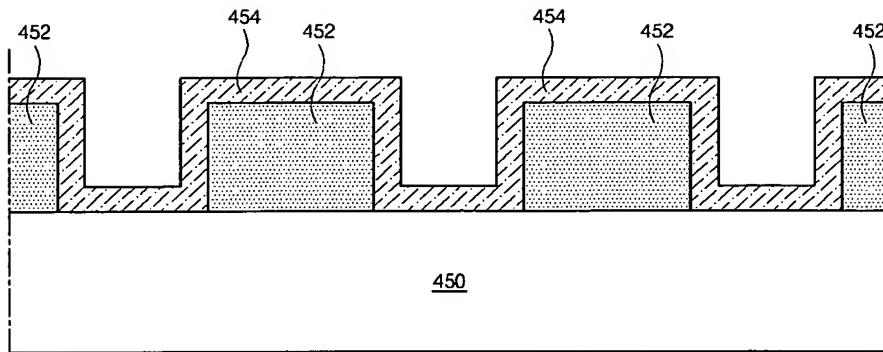
【도 12d】



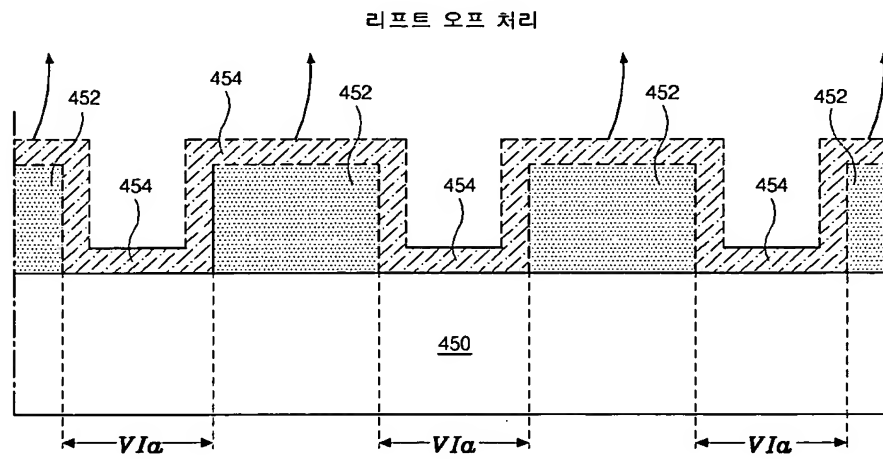
【도 13a】



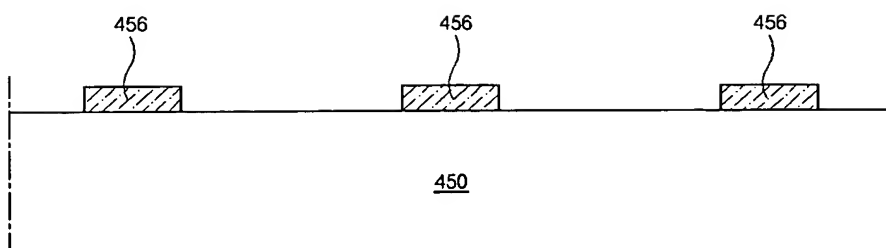
【도 13b】



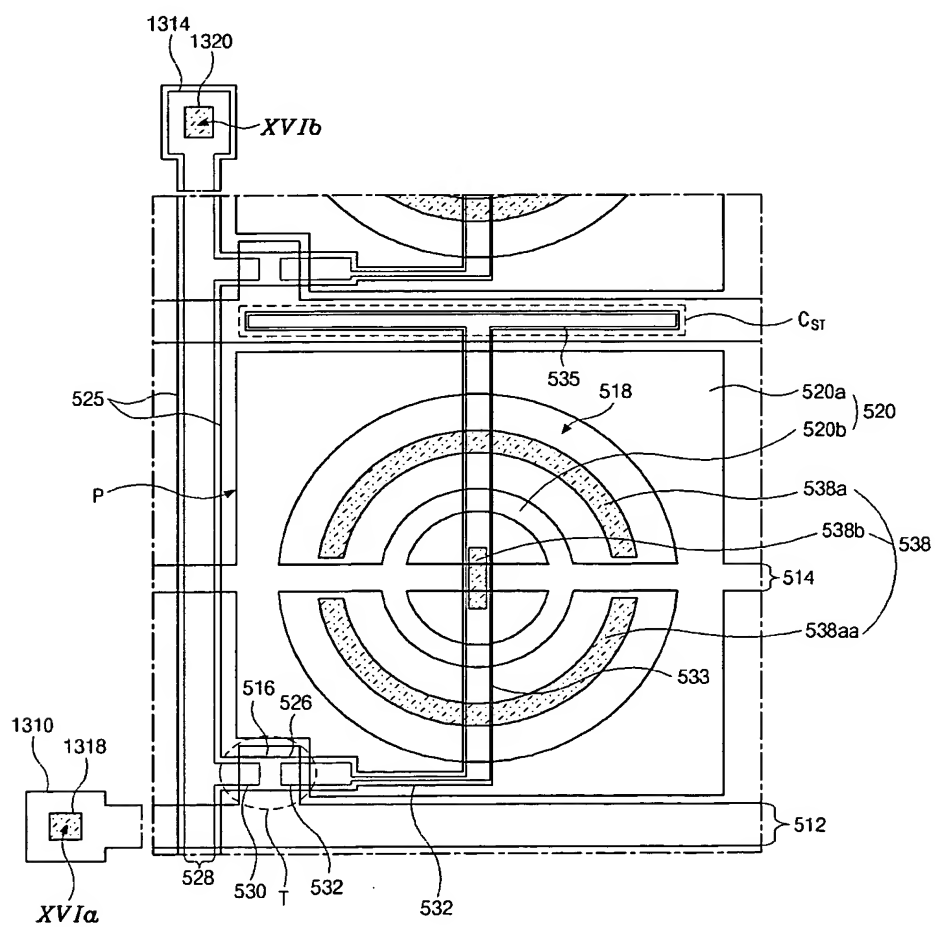
【도 13c】



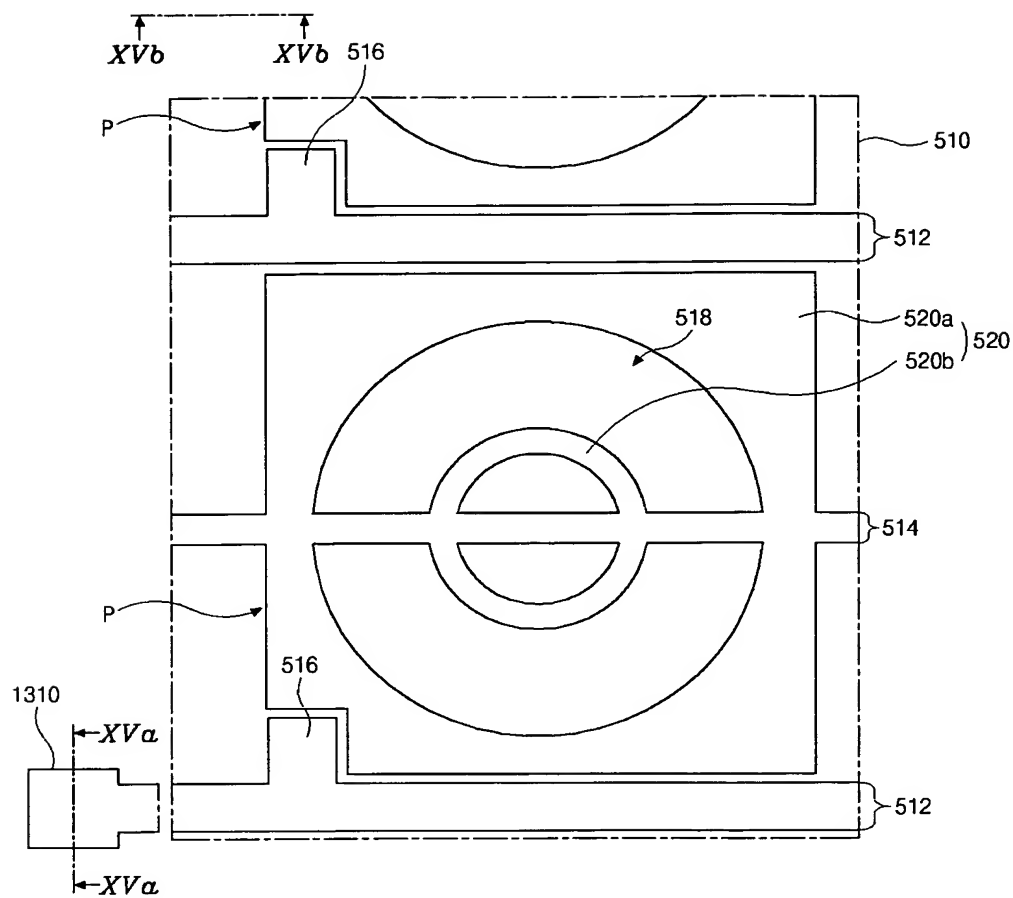
【도 13d】



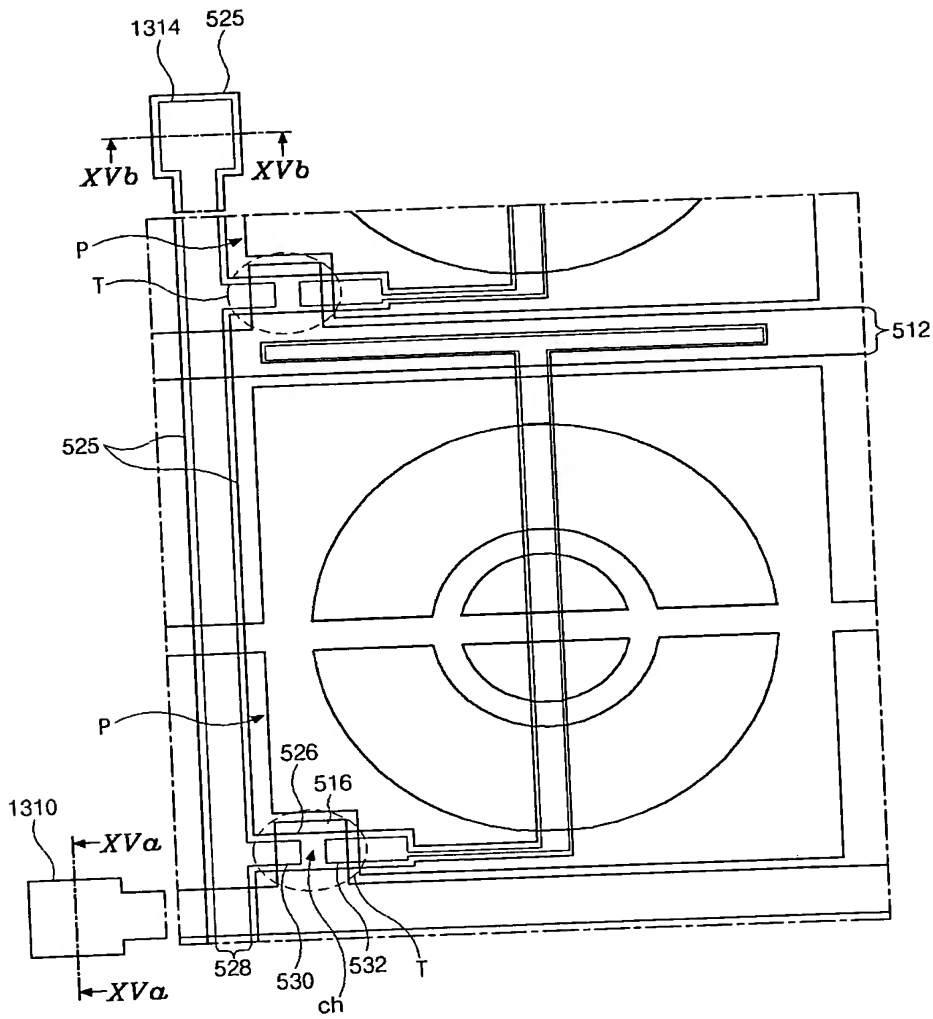
【도 14】



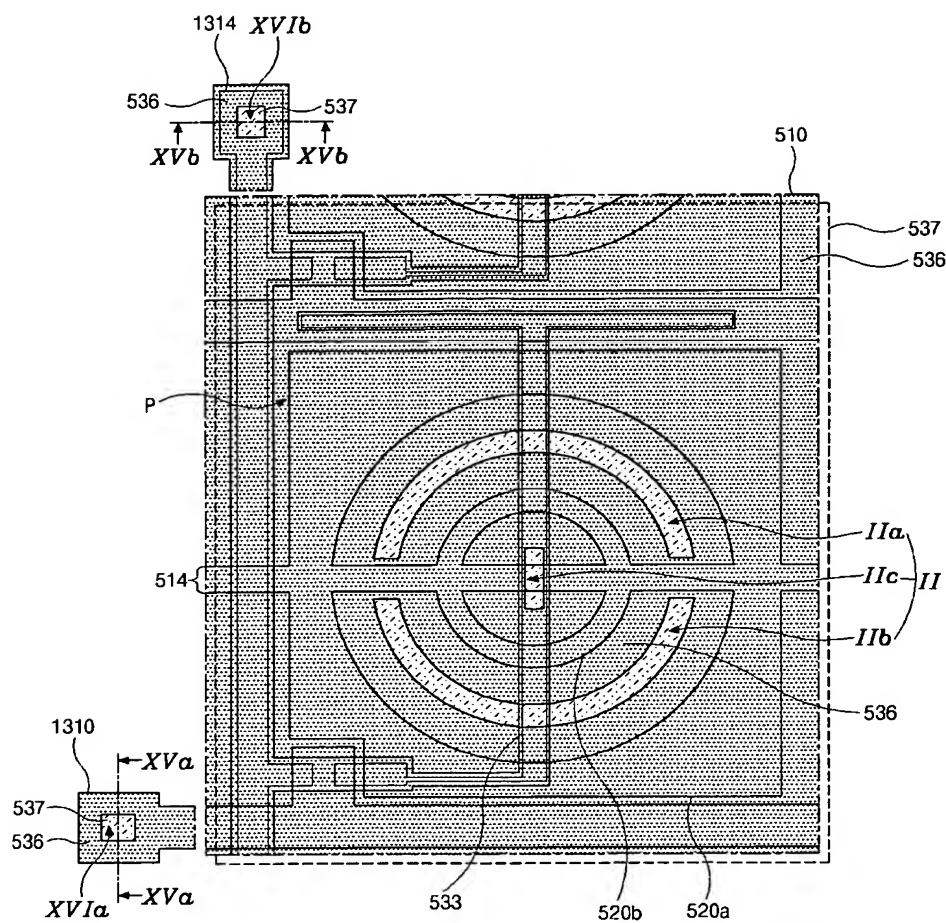
【도 15a】



【図 15b】

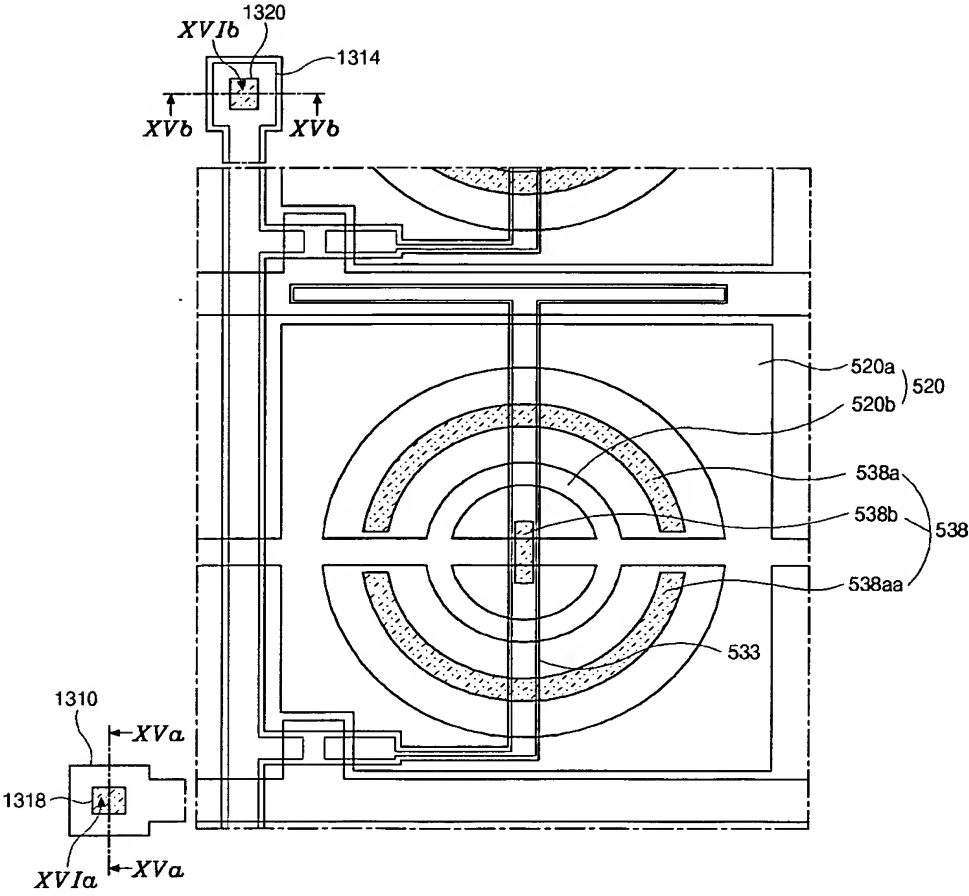


【図 15c】

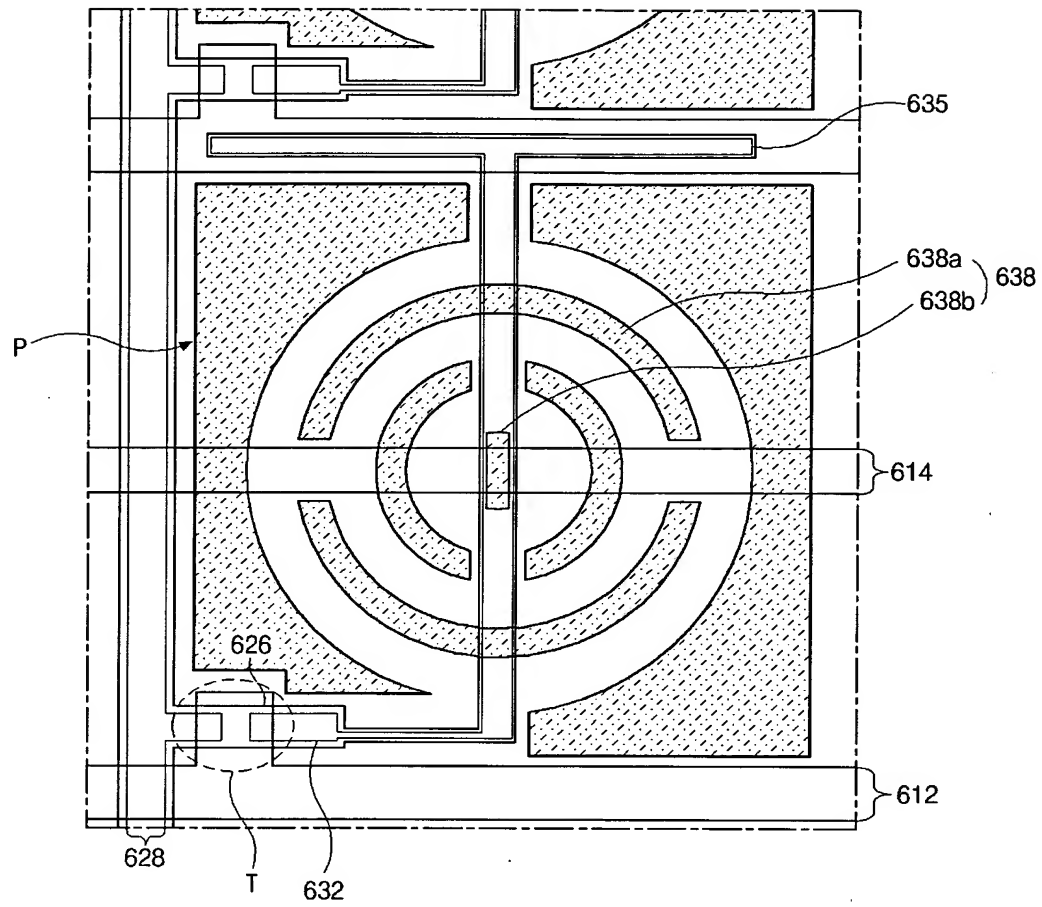




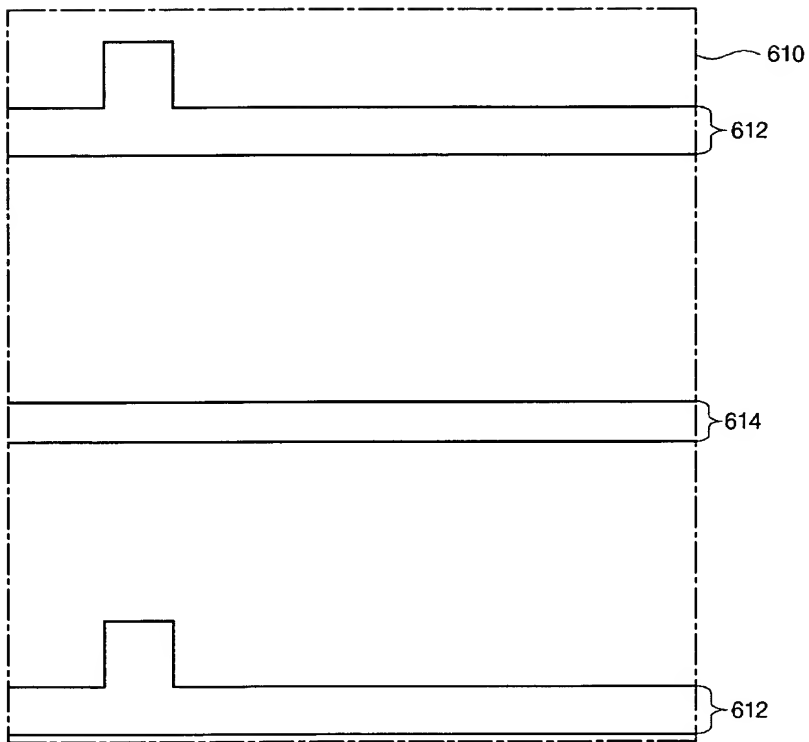
【図 15d】



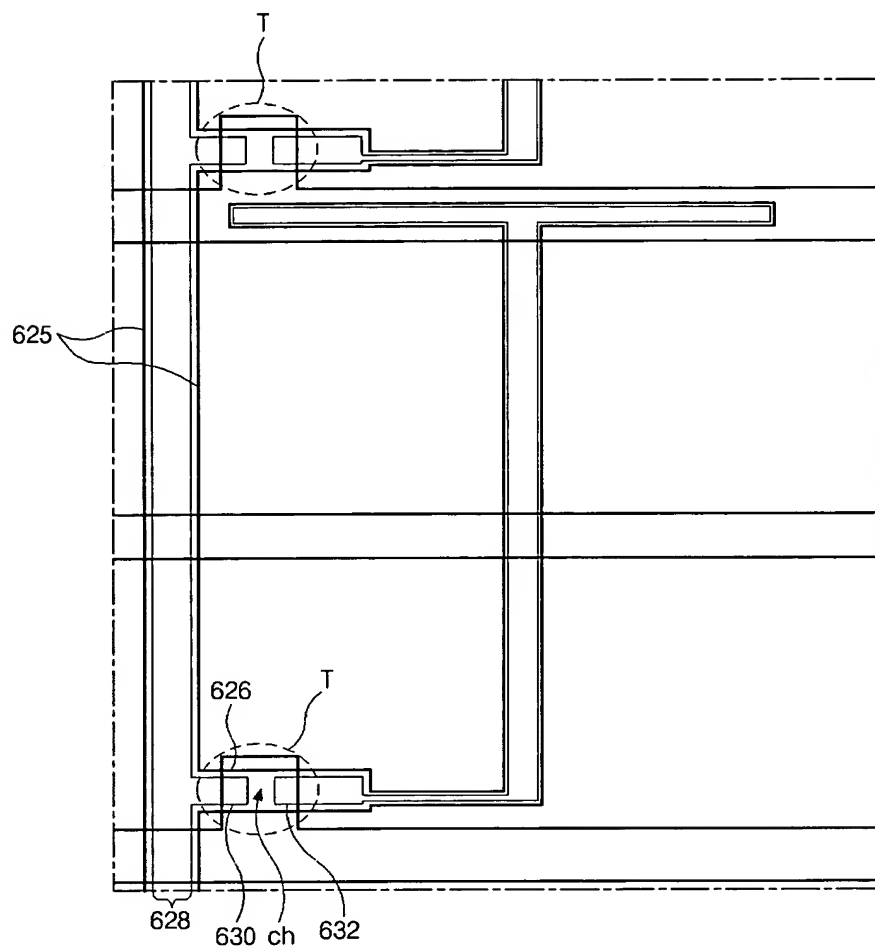
【도 16】



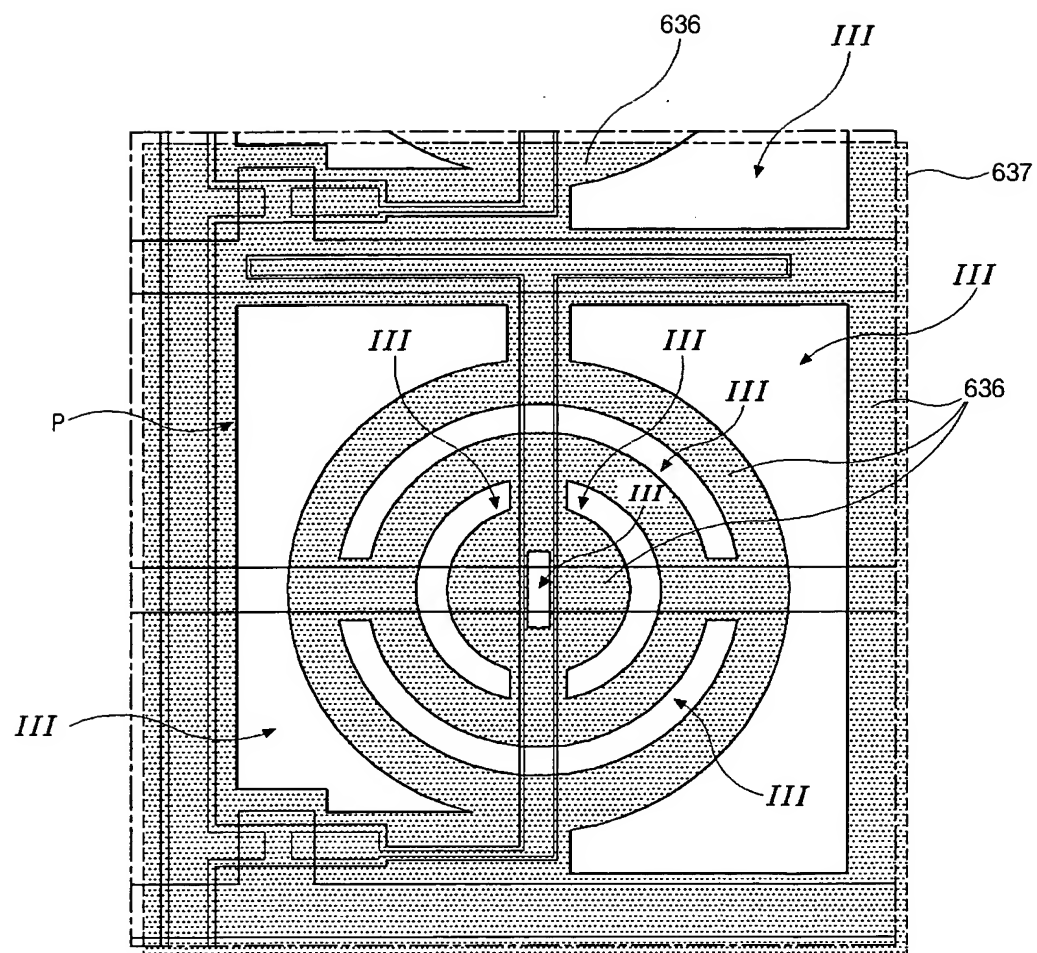
【도 17a】



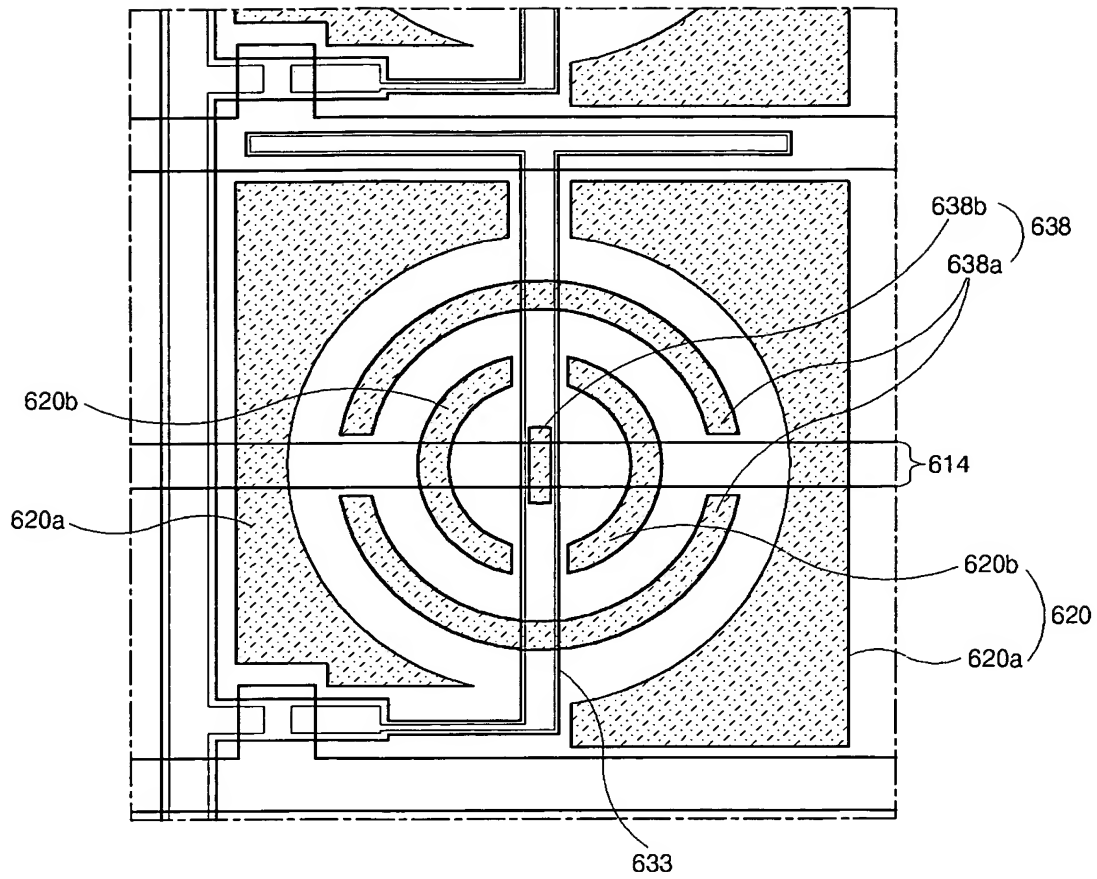
【도 17b】



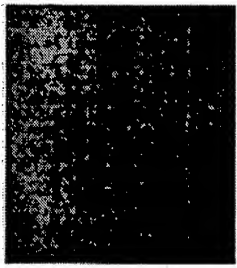
【図 17c】



【도 17d】



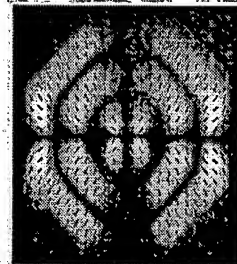
【도 18】



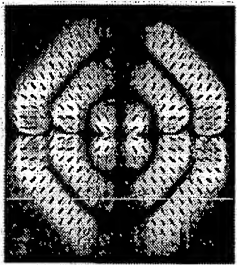
(0 V)



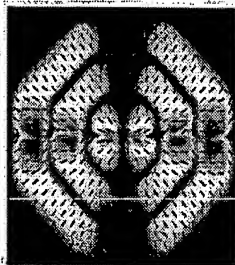
(2 V)



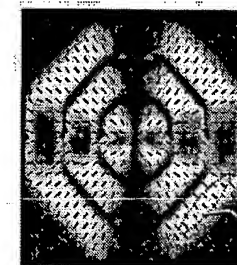
(4 V)



(6 V)



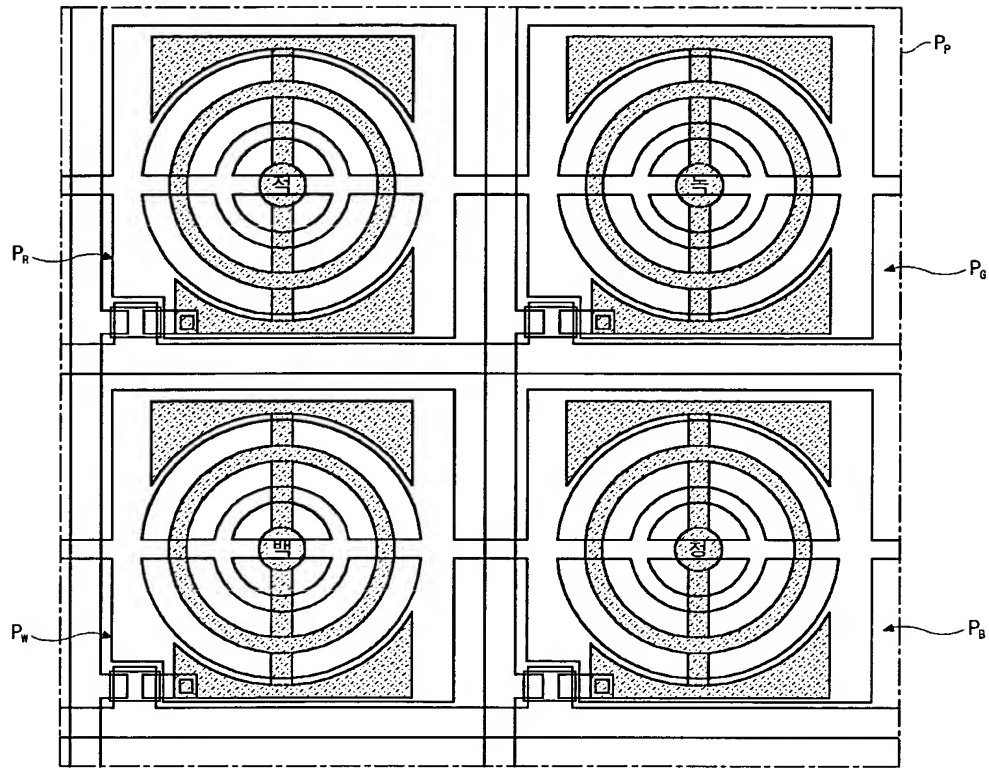
(8 V)



(10V)

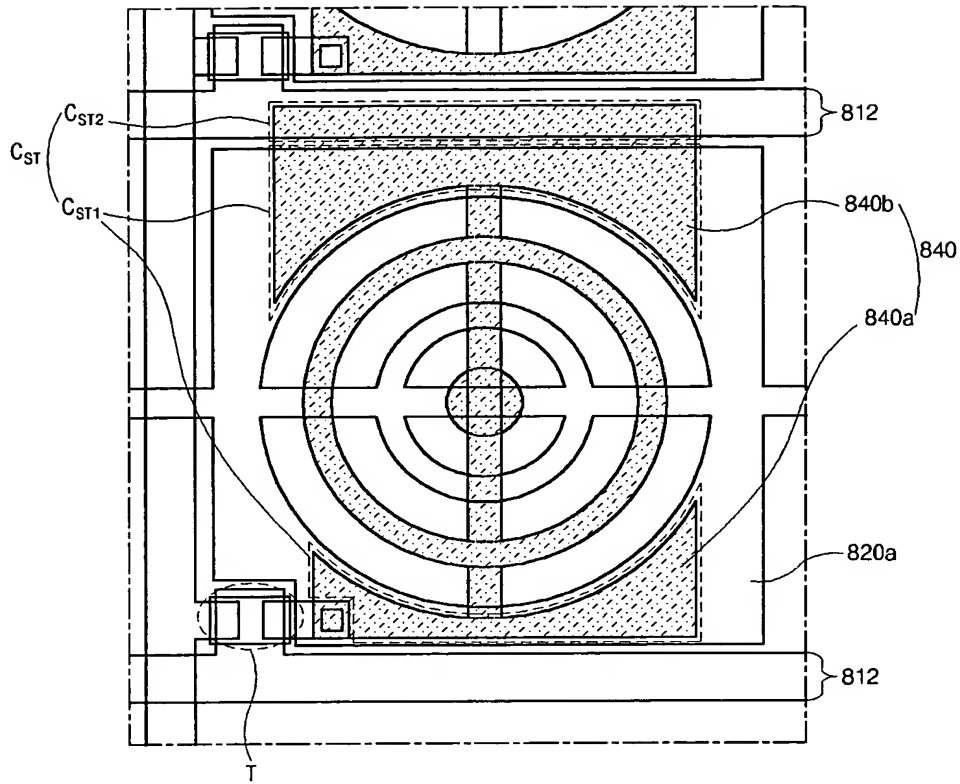
VII

【도 19】

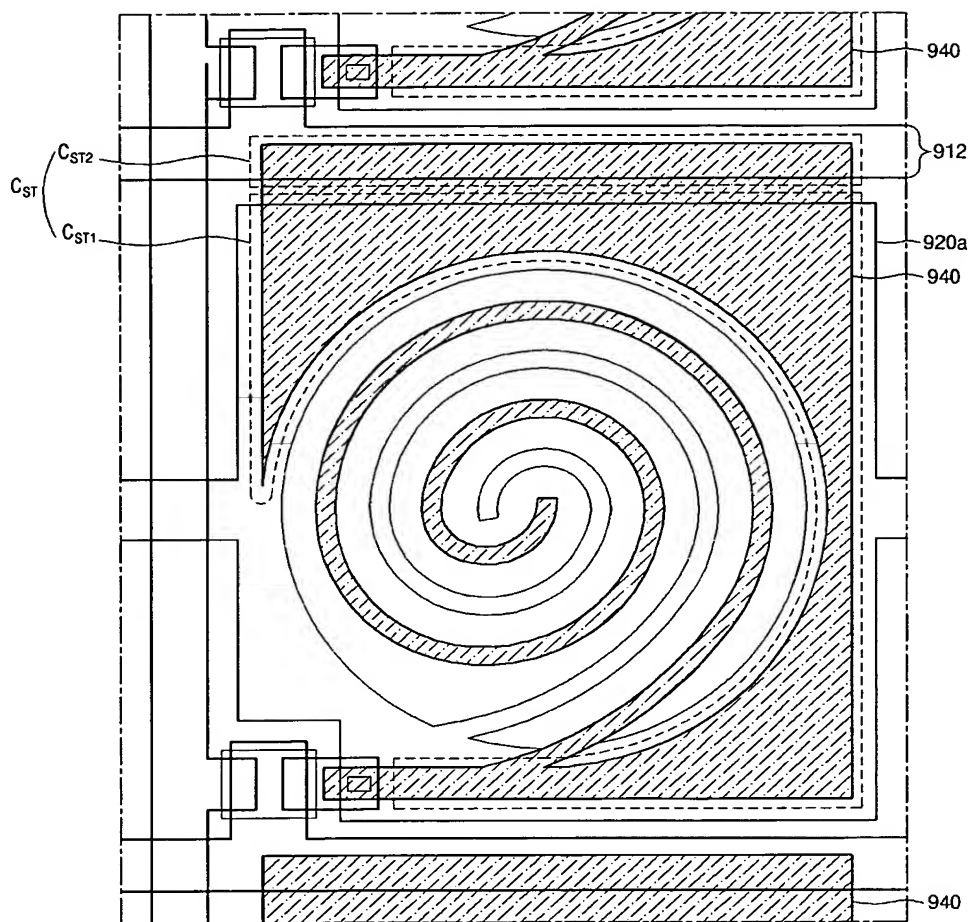




【도 20】

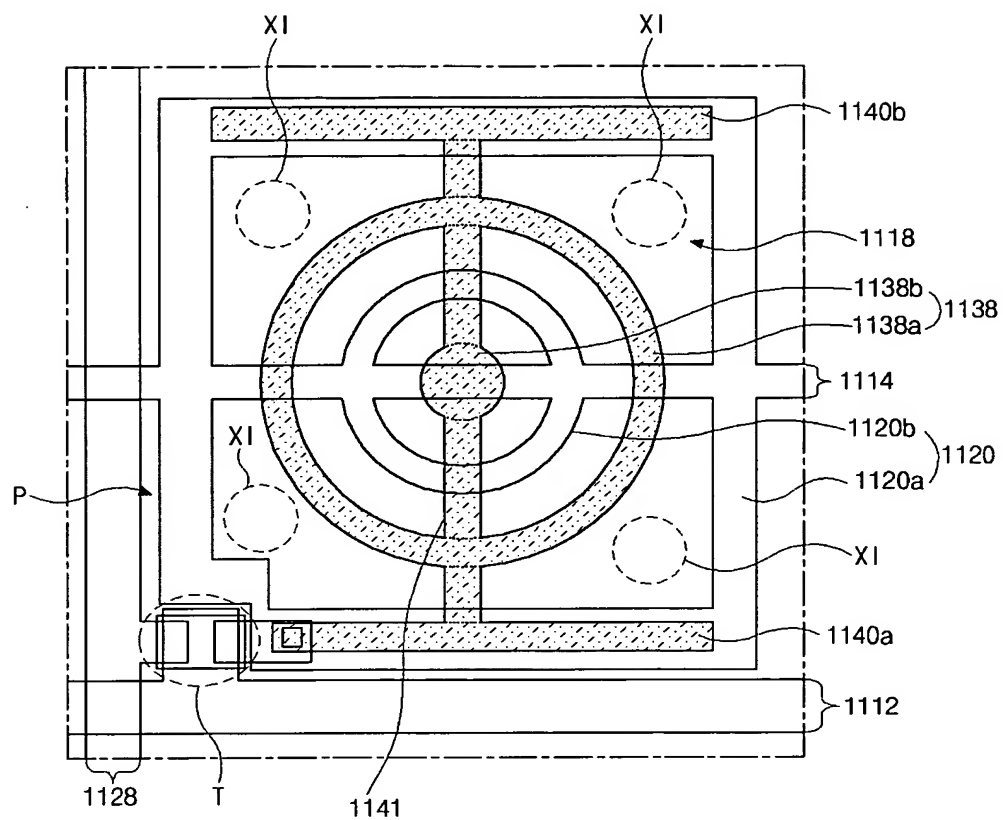


【도 21】

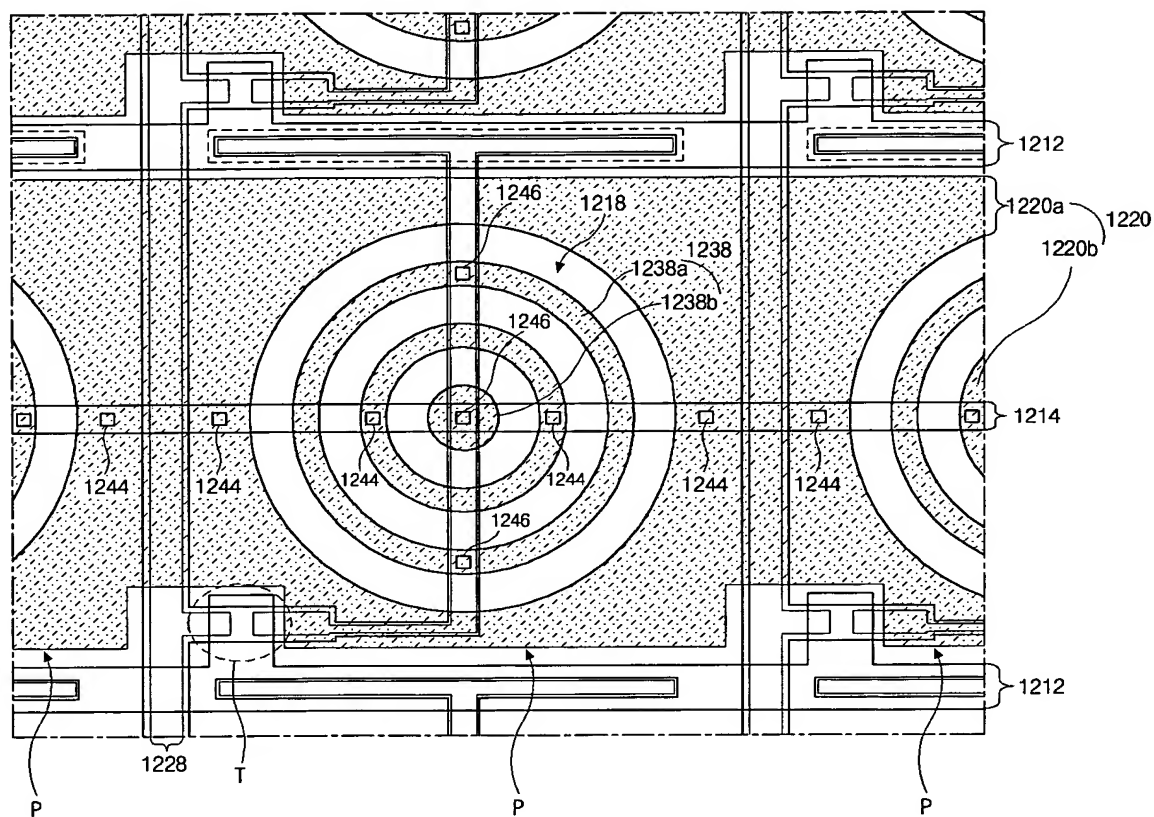




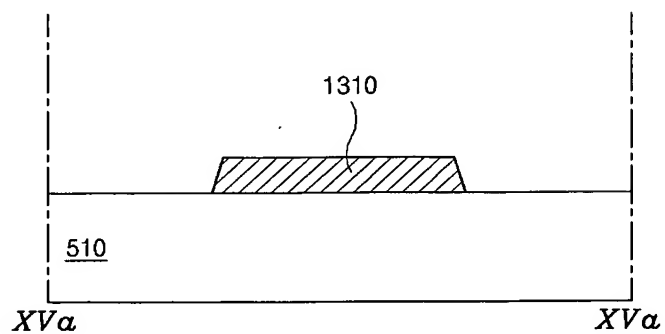
【도 23】



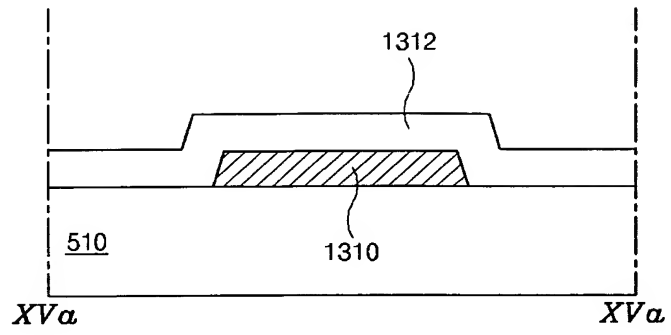
【도 24】



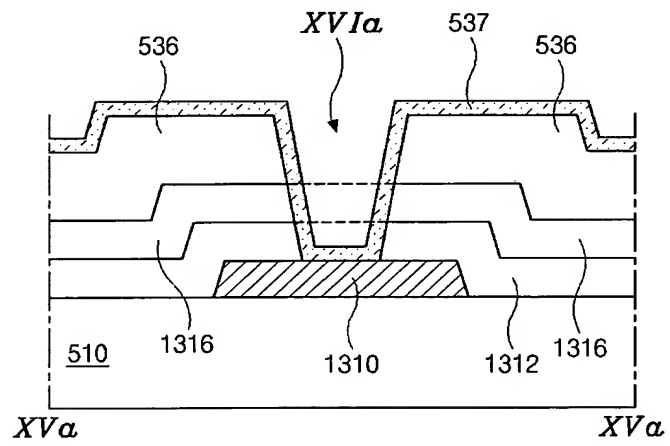
【도 25a】



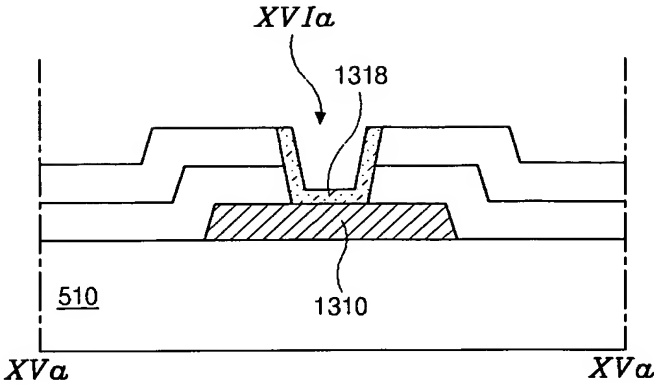
【도 25b】



【도 25c】



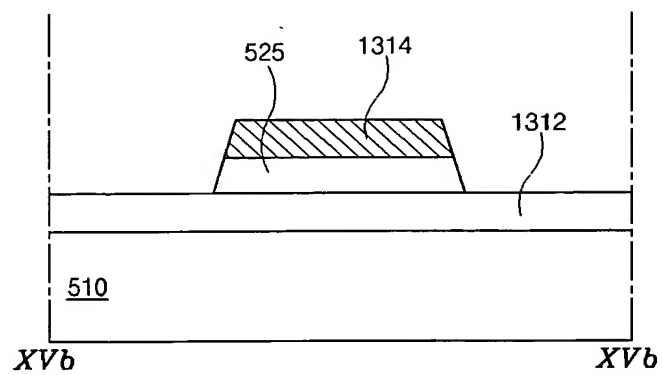
【도 25d】



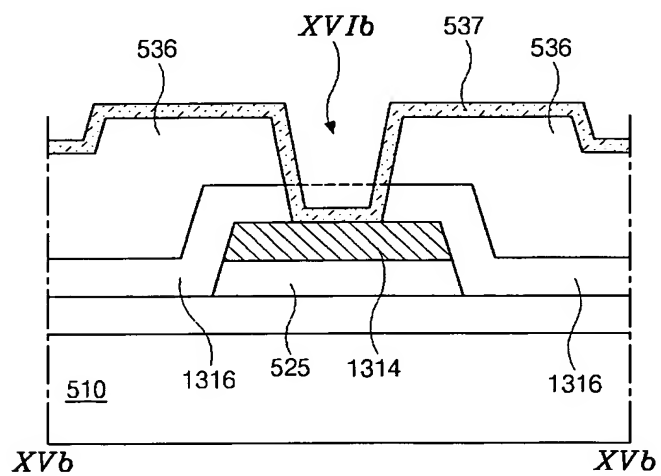
【도 26a】



【도 26b】

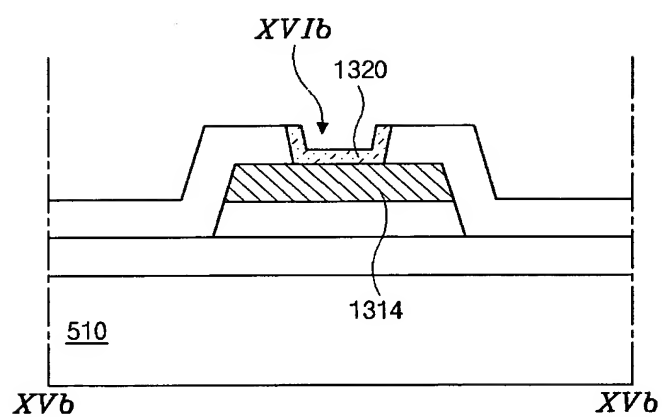


【도 26c】





【도 26d】



**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**